

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 3 月 1 7 日
Date of Application:

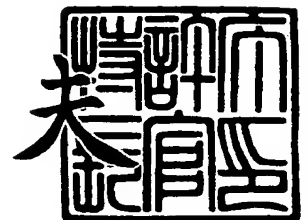
出 願 番 号 特 願 2 0 0 3 - 0 7 1 9 4 2
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 0 7 1 9 4 2]

出 願 人 株 式 会 社 日 立 製 作 所
Applicant(s):

2 0 0 3 年 1 1 月 2 7 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 9 8 2 8 6

【書類名】 特許願

【整理番号】 H02018271

【提出日】 平成15年 3月17日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/08

【発明者】

【住所又は居所】 東京都青梅市新町六丁目 1 6 番地の 3 株式会社日立製作所 デバイス開発センタ内

【氏名】 玉置 洋一

【発明者】

【住所又は居所】 東京都青梅市新町六丁目 1 6 番地の 3 株式会社日立製作所 デバイス開発センタ内

【氏名】 野並 秀顕

【発明者】

【住所又は居所】 東京都青梅市新町六丁目 1 6 番地の 3 株式会社日立製作所 デバイス開発センタ内

【氏名】 浜本 正人

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社日立製作所

【代理人】

【識別番号】 100080001

【弁理士】

【氏名又は名称】 筒井 大和

【電話番号】 03-3366-0787

【手数料の表示】

【予納台帳番号】 006909

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 以下の構成を有することを特徴とする半導体装置：

- (a) 絶縁層上に設けられた半導体層、
- (b) 前記半導体層に互いに並列に接続された状態で設けられた複数の同種のバイポーラトランジスタ、
- (c) 前記半導体層の主面から前記絶縁層に達するように設けられ、前記複数の同種のバイポーラトランジスタの複数の一群または全てを取り囲むように設けられた分離部。

【請求項 2】 請求項 1 記載の半導体装置において、前記複数の同種のバイポーラトランジスタの各々のエミッタに抵抗を電氣的に接続したことを特徴とする半導体装置。

【請求項 3】 請求項 2 記載の半導体装置において、前記抵抗が多結晶シリコンからなることを特徴とする半導体装置。

【請求項 4】 請求項 1 記載の半導体装置において、互いに隣接する前記同種のバイポーラトランジスタのベース用のコンタクトホールと、コレクタ用のコンタクトホールとの間隔がトランジスタ間の最小間隔であることを特徴とする半導体装置。

【請求項 5】 請求項 1 記載の半導体装置において、互いに隣接する前記同種のバイポーラトランジスタのベース用のコンタクトホールと、コレクタ用のコンタクトホールとの間隔が $1\ \mu\text{m}$ 以上であることを特徴とする半導体装置。

【請求項 6】 以下の構成を有することを特徴とする半導体装置：

- (a) 絶縁層上に設けられた半導体層、
- (b) 前記半導体層に互いに並列に接続された状態で設けられた複数の同種のバイポーラトランジスタ、
- (c) 前記複数の同種のバイポーラトランジスタの各々に電氣的に接続された抵抗、
- (d) 前記半導体層の主面から前記絶縁層に達するように設けられ、前記複数の

同種のバイポーラトランジスタの複数の一群または全てを取り囲むように設けられた分離部。

【請求項 7】 請求項 6 記載の半導体装置において、前記抵抗が多結晶シリコンからなることを特徴とする半導体装置。

【請求項 8】 請求項 6 記載の半導体装置において、互いに隣接する前記同種のバイポーラトランジスタのベース用のコンタクトホールと、コレクタ用のコンタクトホールとの間隔がトランジスタ間の最小間隔であることを特徴とする半導体装置。

【請求項 9】 請求項 6 記載の半導体装置において、互いに隣接する前記同種のバイポーラトランジスタのベース用のコンタクトホールと、コレクタ用のコンタクトホールとの間隔が $1\ \mu\text{m}$ 以上であることを特徴とする半導体装置。

【請求項 10】 以下の構成を有することを特徴とする半導体装置：

- (a) 絶縁層上に設けられた半導体層、
- (b) 前記半導体層の第 1 領域に互いに並列に接続された状態で設けられた複数の同種の第 1 バイポーラトランジスタ、
- (c) 前記半導体層の主面から前記絶縁層に達するように設けられ、前記第 1 領域の複数の同種の第 1 バイポーラトランジスタの複数の一群または全てを取り囲むように設けられた第 1 分離部、
- (d) 前記半導体層の第 2 領域に互いに並列に接続された状態で設けられた複数の同種の第 2 バイポーラトランジスタ、
- (e) 前記半導体層の主面から前記絶縁層に達するように設けられ、前記第 2 領域の複数の同種の第 2 バイポーラトランジスタの各々を取り囲むように設けられた第 2 分離部。

【請求項 11】 請求項 10 記載の半導体装置において、前記複数の同種の第 1、第 2 バイポーラトランジスタの各々のエミッタに抵抗を電氣的に接続したことを特徴とする半導体装置。

【請求項 12】 請求項 11 記載の半導体装置において、前記抵抗が多結晶シリコンからなることを特徴とする半導体装置。

【請求項 13】 請求項 10 記載の半導体装置において、互いに隣接する前

記同種の第1バイポーラトランジスタのベース用のコンタクトホールと、コレクタ用のコンタクトホールとの間隔がトランジスタ間の最小間隔であることを特徴とする半導体装置。

【請求項14】 請求項10記載の半導体装置において、互いに隣接する前記同種のバイポーラトランジスタのベース用のコンタクトホールと、コレクタ用のコンタクトホールとの間隔が $1\mu\text{m}$ 以上であることを特徴とする半導体装置。

【請求項15】 請求項10記載の半導体装置において、互いに隣接する前記同種の第1バイポーラトランジスタのベース用のコンタクトホールと、コレクタ用のコンタクトホールとの間隔と、互いに隣接する前記同種の第2バイポーラトランジスタのベース用のコンタクトホールと、コレクタ用のコンタクトホールとの間隔とが等しいことを特徴とする半導体装置。

【請求項16】 請求項10記載の半導体装置において、前記第1バイポーラトランジスタの最適電流値は、前記第2バイポーラトランジスタの最適電流値よりも大きいことを特徴とする半導体装置。

【請求項17】 請求項16記載の半導体装置において、前記第1バイポーラトランジスタの許容最大電流値は、前記第2バイポーラトランジスタの許容最大電流値の1.5倍よりも大きいことを特徴とする半導体装置。

【請求項18】 請求項10記載の半導体装置において、前記第1バイポーラトランジスタは、前記第2バイポーラトランジスタよりも高い放熱性が要求される回路を構成し、前記第2バイポーラトランジスタは、前記第1バイポーラトランジスタよりも高速性が要求される回路を構成することを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置技術に関し、特に、SOI (Silicon On Insulator) 基板にバイポーラトランジスタを設けた構造を有する半導体装置に適用して有効な技術に関するものである。

【0002】

【従来の技術】

本発明者が検討した半導体装置は、複数の小さなバイポーラトランジスタを並列に接続することにより 1 つの大電流のバイポーラトランジスタを形成する手法である。この手法によれば、多種類の大電流のバイポーラトランジスタを高性能を維持しつつ容易に形成することができる。S O I 基板の絶縁層上に設けられた素子形成用の半導体層には、上記複数の小さなバイポーラトランジスタが配置されており、その各々の小さなバイポーラトランジスタが、溝型の分離部で取り囲まれている。

【0 0 0 3】

なお、例えば特開平 1 0 - 1 7 3 0 4 0 号公報には、コレクタを共通とするバイポーラトランジスタの各々を U 溝アイソレーションで取り囲み、その U 溝アイソレーションで取り囲まれた各々のシリコンアイランドを、上記各々のバイポーラトランジスタのコレクタとすることで、コレクタ電位の変動を可能とする構成が開示されている（例えば特許文献 1）。

【0 0 0 4】

また、例えば特開 2 0 0 2 - 5 7 2 1 9 号公報には、飽和状態となる半導体素子と飽和状態とならない半導体素子とを分離する分離領域に、相互に電荷が移動しないように分離帯を形成する構成が開示されている（例えば特許文献 2）。

【0 0 0 5】**【特許文献 1】**

特開平 1 0 - 1 7 3 0 4 0 号公報

【0 0 0 6】**【特許文献 2】**

特開 2 0 0 2 - 5 7 2 1 9 号公報

【0 0 0 7】**【発明が解決しようとする課題】**

ところが、上記複数の小さなバイポーラトランジスタの各々を分離部で取り囲む技術においては、以下の課題があることを本発明者は見出した。

【0 0 0 8】

すなわち、素子分離は完全であるが、大電流を流すようなバイポーラトランジスタを小さなバイポーラトランジスタで構成する場合に、その小さなバイポーラトランジスタの各々を分離部で囲んでしまうと、分離部が熱伝導性の低い絶縁膜で形成されていることから、また、構造上、半導体基板を薄くして放熱性を上げるというような手段をとれないこと等から、小さなバイポーラトランジスタで生じた熱による温度上昇が大きく、局部的に過熱する問題がある。また、並列に接続されている小さなバイポーラトランジスタ間で温度が不均一になるとそれが拡大して熱暴走を起し易い問題がある。

【 0 0 0 9 】

本発明の目的は、半導体装置の動作時の熱的安定性を向上させることのできる技術を提供することにある。

【 0 0 1 0 】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【 0 0 1 1 】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【 0 0 1 2 】

すなわち、本発明は、互いに並列に接続された状態で絶縁層上の半導体層に配置された複数の同種の単位バイポーラトランジスタの複数の一群または全てを分離部で取り囲むものである。

【 0 0 1 3 】

【発明の実施の形態】

本願発明の実施の形態を詳細に説明する前に、本実施の形態における用語の意味を説明すると次の通りである。

【 0 0 1 4 】

1. S O I (Silicon On Insulator) 基板とは、絶縁層上に半導体層を設けた構造を有する半導体基板をいう。この半導体層に集積回路素子が形成される。支

持基板上に絶縁層を介して半導体層を設ける構造が一般的であるが、本実施の形態では、サファイヤ基板やスピネル基板上に半導体層を直接設ける構造のものも含むものとする。

【0015】

2. 同種のバイポーラトランジスタとは、基本的に導電型および流すことが可能な電流量が同一のバイポーラトランジスタをいう。すなわち、導電型および最適電流値が同一のバイポーラトランジスタをいう。最適電流値とは、バイポーラトランジスタのトランジション周波数（電流利得帯域幅積） f_t が最適範囲となる時のコレクタ電流値を言い、一般的にトランジション周波数 f_t が最大となるところのコレクタ電流値 I_{cmax} 程度である。また、回路設計基準の一つとして許容最大電流値を規定するが、その値は放熱特性に依存して変化し、最適電流値の1～2倍程度である（放熱特性が良いほど高い値となる）。構造的には、例えばエミッタ幅およびエミッタ長が同一のバイポーラトランジスタであれば、一般的に同種のバイポーラトランジスタといえる。エミッタが複数ある場合には、エミッタ幅、エミッタ長およびエミッタ個数が同一のバイポーラトランジスタであれば、一般的に同種のバイポーラトランジスタといえる。

【0016】

以下の実施の形態においては便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明等の関係にある。また、以下の実施の形態において、要素の数等（個数、数値、量、範囲等を含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でも良い。さらに、以下の実施の形態において、その構成要素（要素ステップ等も含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことは言うまでもない。同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を

含むものとする。このことは、上記数値および範囲についても同様である。また、本実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する。また、電界効果トランジスタを代表するMIS・FET (Metal Insulator Semiconductor Field Effect Transistor) をMISと略し、pチャネル型のMIS・FETをpMISと略し、nチャネル型のMIS・FETをnMISと略す。また、バイポーラトランジスタを単にトランジスタと言う。

【0017】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。

【0018】

(実施の形態1)

図1は、本実施の形態の半導体装置を構成するトランジスタの形成手法を説明するための回路図を示している。本実施の形態1では、例えば所望のnpn型のトランジスタQAを、複数の同種のnpn型の単位トランジスタQu1を並列に接続することにより形成している。この手法によれば、多種類のトランジスタを高性能を維持しつつ形成することができる。また、多種類のトランジスタをセルライブラリに用意しておく必要がないので半導体装置の設計を容易にすることができる。符号Cはコレクタ電極、Bはベース電極、Eはエミッタ電極を示している。また、図1ではnpn型のトランジスタQAを例示しているがpnp型のトランジスタでも同様である。

【0019】

まず、図1のnpn型の単位トランジスタQu1の平面配置の具体例について説明する。図2は図1のnpn型の単位トランジスタQu1のセルCEL1の一例の平面図、図3は図2に第2層配線M2を配置して示した平面図をそれぞれ示している。

【0020】

半導体基板（以下、単に基板という）1の主面（デバイス形成面）には、例えば大小2つの矩形状の能動領域Lが図2および図3の左右方向（方向X）に沿って並んで配置されている。この能動領域Lは、活性領域または素子形成領域とも

呼ばれ、この能動領域Lにnpn型の単位トランジスタ Q_{u1} の主要な領域が形成されている。相対的に大きな能動領域Lには、後述のベース領域およびエミッタ領域がその各々の長辺を対向させた状態で方向Xに沿って並んで配置されている。一方、相対的に小さな能動領域Lには、後述のコレクタ領域がその長辺を上記エミッタ領域の長辺に対向させた状態で配置されている。

【0021】

また、基板1の主面には、例えば3本の第1層配線M1が示されている。各第1層配線M1は、図2および図3の上下方向（方向Y）に延在するような帯状のパターンで形成されている。この3つの第1層配線M1の各々と上記能動領域Lとの交差部分にはコンタクトホールCNTが配置されており、そのコンタクトホールCNTを通じて各々の第1層配線M1と上記ベース領域、エミッタ領域およびコレクタ領域の各々とが電氣的に接続されている。そして、上記エミッタ領域およびコレクタ領域に接続された各々の第1層配線M1は、それぞれスルーホールTH1を通じて上層の第2層配線M2と電氣的に接続されている。第2層配線M2は、第1層配線M1の延在方向に交差する方向Xに沿って延在するような帯状のパターンで形成されている。

【0022】

次に、上記npn型の単位トランジスタ Q_{u1} の縦構造の具体例について説明する。図4は図2および図3のX1-X1線の断面図、図5は図3のY1-Y1線の断面図をそれぞれ示している。

【0023】

基板1としては、例えばSOI基板が使用されている。すなわち、基板1は、支持基板1aと、その上に形成された絶縁層1bと、さらにその上に形成された半導体層1cとを有している。支持基板1aは、例えばn型の単結晶シリコン（Si）からなり、SOI基板1の機械的強度を確保する機能を有している。絶縁層1bは、例えば二酸化シリコン（SiO₂）からなり、その厚さは、例えば0.2～0.5μm程度である。半導体層1cは、例えば単結晶シリコンからなり、この半導体層1cにnpn型の単位トランジスタ Q_{u1} が形成されている。ここでは、2層多結晶シリコン自己整合型構造を有する高性能なnpn型の単位ト

ランジスタ Q_{u1} が例示されている。

【0024】

半導体層 1c の主面（デバイス形成面）には、浅い分離部 2a が形成されている。浅い分離部 2a は、例えば LOCOS（Local Oxidization of Silicon）法によって形成されている。この浅い分離部 2a の底部は絶縁層 1b には達しておらず、その下層には半導体層 1c が残されている。この分離部 2a は、LOCOS 法によるものに限定されるものではなく、例えば浅い溝型の分離部（SGI：Shallow Groove Isolation）で形成しても良い。この浅い溝型の分離部は、半導体層 1c の主面から絶縁層 1b に達しない程度の深さまで掘られた浅溝内に、例えば酸化シリコン膜等のような絶縁膜を埋め込むことで形成される。

【0025】

また、半導体層 1c には、埋込コレクタ領域 3a1 が形成されている。この埋込コレクタ領域 3a1 は、例えばアンチモン（Sb）が含有されて n⁺型にされている。この埋込コレクタ領域 3a1 の上層には、コレクタ領域 3b1 およびコレクタ引出領域 3c1 が形成されている。コレクタ領域 3b1 およびコレクタ引出領域 3c1 は、例えばリン（P）またはヒ素（As）が含有されて、それぞれ n 型および n⁺型にされている。このコレクタ領域 3b1 とコレクタ引出領域 3c1 との間には浅い分離部 2a が設けられているが、コレクタ領域 3b1 とコレクタ引出領域 3c1 とは上記埋込コレクタ領域 3a1 を通じて互いに低抵抗な状態で電氣的に接続されている。

【0026】

上記コレクタ領域 3b1 の上層部には、ベース領域 4a1 が形成されている。このベース領域 4a1 は、例えばホウ素が含有されて p 型にされている。このベース領域 4a1 には、例えば p 型の多結晶シリコンからなるベース引出電極 5 の一端側が接触した状態で電氣的に接続されている。このベース引出電極 5 の他端側は浅い分離部 2a 上に延在した状態で引き出されている。

【0027】

上記ベース領域 4a1 の上層には、エミッタ領域 6a1 が形成されている。このエミッタ領域 6a1 は、例えばリンまたはヒ素が含有されて n⁺型にされてい

る。このエミッタ領域 6 a 1 には、例えば n 型の多結晶シリコンからなるエミッタ引出電極 7 a 1 が電氣的に接続されている。このエミッタ引出電極 7 a 1 の外周には、上記ベース引出電極 5 が配置されているが、エミッタ引出電極 7 a 1 とベース引出電極 5 とは互いに絶縁されている。

【0028】

このような npn 型の単位トランジスタ Q u 1 のエミッタ幅は、例えば 0.3 μ m 程度、これに交差するエミッタ長は、例えば 10 μ m 程度である。このエミッタ幅は、一般的に、所定の製品または時代の技術において、良好なトランジスタ特性を得ることが可能な最小寸法であり、フォトリソグラフィ技術における最小加工寸法よりも小さくできる。エミッタ長は、トランジスタが必要とするコレクタ電流値等によって変わる。

【0029】

このような半導体層 1 c および浅い分離部 2 a 上には、例えば酸化シリコン膜からなる絶縁膜 8 a が堆積されている。絶縁膜 8 a 上には、上記第 1 層配線 M 1 が形成されている。この第 1 層配線 M 1 は、例えばアルミニウム (A l) またはアルミニウム合金等のような金属からなる。ベース用の第 1 層配線 M 1 は、コンタクトホール C N T を通じて上記ベース引出電極 5 と電氣的に接続されている。また、エミッタ用の第 1 層配線 M 1 は、コンタクトホール C N T を通じてエミッタ引出電極 7 a 1 と電氣的に接続されている。さらに、コレクタ用の第 1 層配線 M 1 は、コンタクトホール C N T を通じてコレクタ引出領域 3 c 1 と電氣的に接続されている。また、絶縁膜 8 a 上には、例えば酸化シリコン膜からなる絶縁膜 8 b が堆積されている。絶縁膜 8 b 上には、上記第 2 層配線 M 2 が形成されている。この第 2 層配線 M 2 は、例えば上記第 1 層配線 M 1 と同様の金属からなる。第 2 層配線 M 2 は、スルーホール T H 1 を通じて下層の上記第 1 層配線 M 1 と電氣的に接続されている。

【0030】

次に、図 6 は上記 npn 型の単位トランジスタ Q u 1 の配置例の要部平面図、図 7 は上記 npn 型の単位トランジスタ Q u 1 の他の配置例の要部平面図、図 8 は図 6 の X 2 - X 2 線の断面図を示している。ここでは、複数の npn 型の単位

トランジスタ Q_{u1} を用い、上記図 1 の $n p n$ トランジスタ Q_A として、例えば出力回路や電源回路で使用されるパワー系の $n p n$ トランジスタを形成した場合を例示している。パワー系の $n p n$ トランジスタとは、上記寸法の $n p n$ 型の単位トランジスタ Q_{u1} において、例えば 1 mA 以上、特に 2 mA 程度またはそれ以上のエミッターコレクタ間電流 (I_{EC}) を流すようなトランジスタをいう。

【0031】

図 6 および図 7 には、16 個の $n p n$ 型の単位トランジスタ Q_{u1} が、各々のコレクターエミッタ間に流れる電流の方向が互いに同一になるような状態で 4 行 4 列に配置されている場合が例示されている。ここでは、各 $n p n$ 型の単位トランジスタ Q_{u1} のコレクターエミッタ間電流の方向あるいは各 $n p n$ 型の単位トランジスタ Q_{u1} のベース領域、エミッタ領域およびコレクタ領域の並ぶ方向が図 6 および図 7 の方向 X に沿うように配置されている。1 行目と 2 行目の $n p n$ 型の単位トランジスタ Q_{u1} は、その各々のエミッタ用の第 1 層配線 $M1$ を共用させた状態で上下対称となるように配置されており、その各々のエミッタ用の第 1 層配線 $M1$ がスルーホール $TH1$ を通じて共通の第 2 層配線 $M2$ と電氣的に接続されている。3 行目と 4 行目の $n p n$ 型の単位トランジスタ Q_{u1} も、1 行目と 2 行目の $n p n$ 型の単位トランジスタ Q_{u1} と同様の配置となっている。2 行目と 3 行目の $n p n$ 型の単位トランジスタ Q_{u1} は、その各々のコレクタ用の第 1 層配線 $M1$ を共用させた状態で上下対称となるように配置されており、その各々のコレクタ用の第 1 層配線 $M1$ がスルーホール $TH1$ を通じて共通の第 2 層配線 $M2$ と電氣的に接続されている。また、方向 Y に配置された複数の $n p n$ 型の単位トランジスタ Q_{u1} のベース用の第 1 層配線 $M1$ は共用されている。このように複数の $n p n$ 型の単位トランジスタ Q_{u1} のエミッタ、コレクタおよびベース用の第 1 層配線 $M1$ や第 2 層配線 $M2$ を共用させるような配置とすることで、複数の $n p n$ 型の単位トランジスタ Q_{u1} を有する $n p n$ トランジスタ Q_A の全体の占有面積を小さくすることができる。また、図 6 および図 7 において、方向 X に沿って互いに隣接する単位トランジスタ Q_{u1} 、 Q_{u1} のコレクタ用のコンタクトホール CNT と、ベース用のコンタクトホール CNT との間隔 $D1$ は、基板 1 内の隣接トランジスタ間の最小間隔であり、例えば $2\text{ }\mu\text{ m}$ 程度とされている。

。この間隔D1は、例えば1 μ m以上であることが好ましい。本発明者の検討では、間隔D1を1 μ mより小さくすると放熱性が低下するからである。

【0032】

図6の配置では、16個のnpn型の単位トランジスタQu1のうち、1行目と2行目の8個のnpn型の単位トランジスタQu1と、3行目と4行目の8個のnpn型の単位トランジスタQu1とが、それぞれ別々の溝型の深い分離部（Trench Isolation）2bで取り囲まれている場合が例示されている。また、図6では、深い分離部2bが8個のnpn型の単位トランジスタQu1のセル外周線より若干内側に配置されている場合が例示されている。この深い分離部2bは、図8に示すように、浅い分離部2aの上面からその分離部2aおよび半導体層1cを貫通して絶縁層1bに達するように掘られた深い溝内に、例えば酸化シリコン膜等のような絶縁膜を埋め込むことで形成されている。深い分離部2bの平面幅（短方向寸法）は、最小加工寸法に近く、例えば0.4 μ m程度である。一方、図7の配置では、16個のnpn型の単位トランジスタQu1の全てが1つの深い分離部2bによって取り囲まれている場合が例示されている。また、図7では、深い分離部2bが16個のnpn型の単位トランジスタQu1のセル外周線上に配置されている場合が例示されている。なお、図7において図6のX2-X2線に相当する箇所の断面図は、深い分離部2bの位置が若干外側になるだけで他は図8と変わらないので省略する。

【0033】

このように複数のnpn型の単位トランジスタQu1の複数の一群または全てを深い分離部2bで取り囲むことにより、各単位トランジスタQu1毎に深い分離部2bで取り囲む構造に比べて放熱性を向上させることができる。また、並列に接続されている単位トランジスタQu1間の熱結合を良好にできるので、その単位トランジスタQu1間の温度差を低減でき、温度均一性を向上させることができる。このため、半導体装置の動作時の熱的安定性を向上させることができる。また、深い分離部2bで取り囲む単位トランジスタQu1は、並列接続された同種の単位トランジスタQu1であるため、ラッチアップ等の寄生効果も生じない。したがって、半導体装置の動作信頼性を向上させることが可能となる。図6

と図7とで比較した場合、図7の方が深い分離部2bで取り囲む面積が図6よりも大きいので、図6よりも熱的安定性（放熱性や単位トランジスタ Q_{u1} 間の温度均一性）を向上させることができる。一方、図6の方が深い分離部2bで取り囲む面積が図7よりも小さいので図7よりも寄生容量（深い分離部2bで取り囲まれた半導体層1c部分と支持基板1aとそれらの間の絶縁層1bとで形成される容量） C_{ts} を小さくできるので、npn型のトランジスタ Q_A の動作速度の向上を図ることができる。

【0034】

（実施の形態2）

本実施の形態2では、単位トランジスタのエミッタにバラスト抵抗を付加した場合の一例を説明する。

【0035】

図9は、本実施の形態2の所望のnpnトランジスタ Q_A の等価回路図を示している。本実施の形態2の場合も所望のnpn型のトランジスタ Q_A が複数の同種のnpn型の単位トランジスタ Q_{u1} を並列に接続することにより形成されている。前記実施の形態1と異なるのは、各単位トランジスタ Q_{u1} のエミッタに直列に抵抗（通常バラスト抵抗と呼ばれる） R が電氣的に接続されていることである。

【0036】

抵抗 R_b を接続しない場合、複数の単位トランジスタ Q_{u1} のうちのいずれかの単位トランジスタ Q_{u1} の温度が上昇すると、その単位トランジスタ Q_{u1} に電流が集中的に流れる結果、熱暴走を引き起こす場合がある。これに対して抵抗 R_b を付加することにより、エミッタ電流増加に対して負帰還がかかり、エミッタ電流量を減らすような作用を生じさせることができる。その結果、単位トランジスタ Q_{u1} 間で発生する温度の不均一性に起因する電流集中（熱暴走）を完全に防止することができる。したがって、半導体装置の動作時の熱的安定性をさらに向上でき、動作信頼性を向上させることが可能となる。このような効果を得るために、各抵抗 R_b の抵抗値は等しくなっている。抵抗値は大きい方が熱に対する単位トランジスタ Q_{u1} の安定性を向上させることができるが、パワー特性が

低下するため、上記熱的安定性を考慮しつつもできるだけ小さな値とすることが好ましい。

【0037】

図10は、本実施の形態のnpn型の単位トランジスタQ_{u1}のセルCEL2の一例の平面図、図11は図10に第2層配線M2を配置して示した平面図、図12は図11のY2-Y2線の断面図をそれぞれ示している。なお、図10および図11のX1-X1線の断面図は、前記図4と同じである。

【0038】

npn型の単位トランジスタQ_{u1}のエミッタ領域に接続された第1層配線M1a(M1)は、コンタクトホールCNTを通じて、抵抗Rbの一端に接続されている。抵抗Rbの他端は、コンタクトホールCNTを通じて第1層配線M1b(M1)に接続されている。そして、この第1層配線M1bはスルーホールTH1を通じて第2層配線M2と接続されている。抵抗Rbは、例えば所望の抵抗値に設定された多結晶シリコンからなる。この多結晶シリコンからなる抵抗は、専用層で形成することも、あるいは、上記エミッタ引出電極7a1をパターンニングする際に同時にパターンニングすることも可能である。抵抗Rbの抵抗値は多結晶シリコン膜への所望の不純物の導入(イオン注入等)により設定されている。抵抗Rbは拡散層で形成しても良いが、抵抗Rbを多結晶シリコンで形成した方が、抵抗Rbを拡散層で形成する場合に比べて、抵抗Rbや上記深い分離部2bの配置の自由度を向上させることができる。

【0039】

次に、図13は本実施の形態2のnpn型の単位トランジスタQ_{u1}の配置例の要部平面図、図14は本実施の形態2のnpn型の単位トランジスタQ_{u1}の他の配置例の要部平面図をそれぞれ示している。ここでは、本実施の形態2の複数のnpn型の単位トランジスタQ_{u1}を用い、上記図1のnpnトランジスタQAとして、例えば上記パワー系のnpnトランジスタを形成した場合を例示している。

【0040】

図13および図14の単位トランジスタQ_{u1}の配置の仕方は、前記実施の形

態 1 の図 6 および図 7 で説明したのと基本的に同じである。ただし、単位トランジスタ Q_{u1} のエミッタに抵抗 R_b が付加されている。また、1 行目と 2 行目の単位トランジスタ Q_{u1} は、その各々のコレクタ用の第 1 層配線 $M1$ を共用させた状態で上下対称となるように配置されており、その各々のコレクタ用の第 1 層配線 $M1$ がスルーホール $TH1$ を通じて共通の第 2 層配線 $M2$ と電氣的に接続されている。3 行目と 4 行目の単位トランジスタ Q_{u1} も、1 行目と 2 行目の単位トランジスタ Q_{u1} と同様の配置となっている。2 行目と 3 行目の単位トランジスタ Q_{u1} は、その各々のエミッタ用の第 1 層配線 $M1b$ ($M1$) を共用させた状態で上下対称となるように配置されており、その各々のエミッタ用の第 1 層配線 $M1b$ ($M1$) がスルーホール $TH1$ を通じて共通の第 2 層配線 $M2$ と電氣的に接続されている。また、図 6 および図 7 と同様に方向 Y に配置された複数の単位トランジスタ Q_{u1} のベース用の第 1 層配線 $M1$ は共用されている。これにより、前記実施の形態 1 と同様に、複数の単位トランジスタ Q_{u1} および抵抗 R_b を有する npn 型のトランジスタ QA の全体の占有面積を小さくすることができる。

【0041】

図 13 の配置では、16 個の単位トランジスタ Q_{u1} のうち、1 行目と 2 行目の 8 個の単位トランジスタ Q_{u1} と、3 行目と 4 行目の 8 個の単位トランジスタ Q_{u1} とが、それぞれ別々の溝型の深い分離部 (Trench Isolation) 2b で取り囲まれている場合が例示されている。また、図 6 では、深い分離部 2b が 8 個の単位トランジスタ Q_{u1} のセル外周線より若干内側に配置されており、その深い分離部 2b で囲まれた領域内に抵抗 R_b が内包されない場合が例示されている。図 13 の $X2-X2$ 線の断面は、前記図 8 と同じである。一方、図 14 の配置では、16 個の単位トランジスタ Q_{u1} の全てが 1 つの深い分離部 2b によって取り囲まれている場合が例示されている。また、図 14 では、深い分離部 2b が 16 個の単位トランジスタ Q_{u1} のセル外周線上に配置されており、その深い分離部 2b で囲まれた領域内に抵抗 R_b が内包される場合が例示されている。なお、図 14 において図 13 の $X2-X2$ 線に相当する箇所の断面図は、深い分離部 2b の位置が若干外側になるだけで他は図 8 と変わらないので省略する。

【0042】

このように本実施の形態2においても複数の単位トランジスタ Q_{u1} を深い分離部2bで取り囲むことにより、前記実施の形態1と同様の効果を得ることができる。また、図13は前記図6と同様の効果を得ることができ、図14は前記図7と同様の効果を得ることができる。

【0043】**(実施の形態3)**

本実施の形態3では、並列接続された複数の同種の単位トランジスタで所望のトランジスタを構成する半導体装置において、複数の単位トランジスタの一群を深い分離部で取り囲む構造と、個々の単位トランジスタの各々を深い分離部で取り囲む構造との両方を同一の基板に設ける場合の一例について説明する。

【0044】

並列接続された複数の単位トランジスタを1つの深い分離部で取り囲む構造は前記実施の形態1, 2で説明したように熱的安定性を得る上で効果があり、大電流回路や高発熱回路に適している。一方、複数の単位トランジスタの各々を深い分離部で取り囲む構造は前記寄生容量 C_{ts} を小さくできるので動作速度の向上を図る上で効果があり、高性能な回路に適している。そこで、本実施の形態3では、一つの半導体装置の中で、高駆動回路（放熱性が要求される回路）では前記実施の形態1, 2で説明したように複数の単位トランジスタをまとめて深い分離部で取り囲む構造とし、高性能回路（高速性が要求される回路）では複数の単位トランジスタの各々を深い分離部で取り囲む構造とする。これにより、半導体装置の動作信頼性および性能を向上させることが可能となる。

【0045】

図15は上記高性能回路を構成するnpn型のトランジスタ Q_B のnpn型の複数の単位トランジスタ Q_{u1} の配置例の要部平面図、図16は上記高性能回路を構成するnpn型のトランジスタ Q_B のnpn型の複数の単位トランジスタ Q_{u1} の他の配置例の要部平面図、図17は図15および図16のX3-X3線の断面図を示している。

【0046】

図15のトランジスタQBの等価回路図は前記図1のトランジスタQAと同じである。また、図15の単位トランジスタQu1の配置の仕方は前記図6と同じである。一方、図16は単位トランジスタQu1のエミッタに抵抗Rbを付加した例で、この図16のトランジスタQBの等価回路は前記図9と同じである。この図16の単位トランジスタQu1の配置の仕方は図14と同じである。図15および図16で前記した図6および図14と異なるのは、並列接続された複数の単位トランジスタQu1の各々が深い分離部2bで取り囲まれていることである。このような構成では、半導体層1cが深い分離部2bで細かく区切られるので、寄生容量Ctsを小さくできる。この結果、半導体装置の動作速度を向上させることができる。したがって、この構造は、例えば論理回路や制御回路等のような高い性能が要求される回路に適用することが好ましい。

【0047】

図15および図16において、方向Xに沿って互いに隣接する単位トランジスタQu1、Qu1のコレクタ用のコンタクトホールCNTと、ベース用のコンタクトホールCNTとの間隔D2は、上記図6～図8、図13および図14で説明した間隔D1と等しい。すなわち、前記図6～図8、図13および図14の構成の場合、複数の単位トランジスタQu1を深い分離部2bで取り囲むので単位トランジスタQu1の隣接間隔（例えば間隔D1）を、複数の単位トランジスタQu1の各々を深い分離部2bで取り囲む場合の単位トランジスタQu1の隣接間隔（例えば間隔D2）よりも小さくすることができるが、本実施の形態3では、前記図6～図8、図13および図14の構造が使用される回路が、放熱性が要求される回路であることを考慮して、敢えてそのようにせず間隔D1を間隔D2と等しい値にしている。また、本実施の形態3では、放熱性が要求される回路を構成する前記図6～図8、図13および図14の構造の単位トランジスタQu1の許容最大電流値（ I_{cmax1} ）は、高性能性が要求される前記図15～図17の構造の単位トランジスタQu1の許容最大電流値（ I_{cmax2} ）よりも大きい。さらに詳細に言うと、 $I_{cmax1} > I_{cmax2} \times 1.5$ とされている。

【0048】

次に、図18は、アナログーデジタル混在回路を有する半導体装置の要部の説

明図を示している。ここには、プリアンプ回路 P A M と、制御回路 C C との後段に、出力回路 D R V を配置した例が示されている。プリアンプ回路 P A M および制御回路 C C を構成するトランジスタは前記図 1 5 ～図 1 7 で説明したように、並列接続された複数の単位トランジスタの各々が深い分離部 2 b で取り囲まれる構造とされている。これにより、プリアンプ回路 P A M および制御回路 C C の動作速度を向上させることができる。一方、出力回路 D R V を構成するトランジスタは前記図 6 ～図 8、図 1 3 および図 1 4 で説明したように、並列接続された複数の単位トランジスタが深い分離部 2 b で取り囲まれる構造とされている。これにより、出力回路 D R V の熱的安定性を向上でき動作信頼性を向上させることができる。したがって、アナログーデジタル混在回路を有する半導体装置の全体的な動作信頼性および性能を向上させることが可能となっている。

【0049】

図 1 9 は、上記出力回路 D R V の一例の回路図を示している。ここでは、出力回路として、例えば B 級プッシュプル増幅動作を行うドライバ回路を示している。B 級プッシュプル動作することで、1 個のトランジスタでドライバ回路を形成した場合に比べて 4 倍の出力を得ることができ、雑音や歪みの少ない増幅が可能となっている。また、ここでは、例えば入力端子 I N に入力された 1 m A 程度の振幅の信号を 1 0 m A 程度の振幅の信号に増幅して出力端子 O U T に出力することが可能となっている。この出力回路 D R V は、トランジスタ Q 3 ～Q 8 および抵抗 R 1 ～R 8 を有し、基準電位の電源 V 1 と、高電位の電源 V 2 との間に電気的に接続されている。なお、電源 V 1 の電圧は、例えば - 5 V 程度、電源 V 2 の電圧は、例えば + 5 V 程度である。また、バイアス調整用の電源 V 3 の電圧は、例えば - 1 V 程度、電源 V 4 の電圧は、例えば + 1 V 程度である。

【0050】

この出力回路 D R V のトランジスタ Q 3、Q 6、Q 7 は、n p n 型トランジスタからなり、トランジスタ Q 4、Q 5、Q 8 は、p n p 型トランジスタからなる。このうち、トランジスタ Q 3、Q 4 は、上記プッシュプル動作を行うペアトランジスタである。また、トランジスタ Q 7、Q 8 はダイオード接続されている。トランジスタ Q 3、Q 4 に必要なコレクタ電流（要求電流容量または要求特性）

は、例えば24mA程度である。トランジスタQ5～Q8に必要なコレクタ電流は、例えば8mA程度である。これら各トランジスタQ3～Q8は、前記図6、図7、図13および図14のような構成とされている。

【0051】

また、図20は、上記出力回路DRVを構成するトランジスタと同一の基板1に形成されたデジタル回路の一例を示している。ここでは、例えばECL (Emitter Coupled Logic) で形成されたOR回路を示している。このOR回路は、トランジスタQ9～Q11および抵抗R9～R11を有している。トランジスタQ9～Q11は、npn型のトランジスタで形成されている。デジタル回路では、トランジスタQ9～Q11に対して高速動作が要求されるので、トランジスタQ9～Q11は、上記図15～図17のような構成とされている。このように、本実施の形態3によれば、同一の基板1内に、上記図6～図8、図13および図14の構成のトランジスタと、上記図15～図17のような構成のトランジスタとが混在されている。すなわち、トランジスタに要求される性能に応じてトランジスタの構造を選択することにより、全体的に性能および動作安定性の高い半導体装置を提供することが可能となっている。図20のトランジスタQ9～Q11のエミッタは共通接続されており、トランジスタQ10またはトランジスタQ11は、トランジスタQ9とともに差動増幅器を構成している。符号VBBは、トランジスタQ9のベース電位を一定に固定するための直流基準電圧を示している。そして、入力端子IN1、IN2の信号に対して、出力端子OUT1の信号は、OR動作を行うようになっている。ただし、デジタル回路はOR回路に限定されるものではなく種々変更可能であり、NOR回路、NAND回路、AND回路等のような論理ゲート回路を用いることができる。

【0052】

次に、図21は、アナログーデジタル混在回路を有する半導体装置の断面構造の一例を示している。

【0053】

この半導体装置は、例えばBiCMOS (Bipolar-Complementary Metal Oxide Semiconductor) 回路またはC-Bip (Complementary Bipolar) 回路等を

有する通信用または産業用のアナログ・デジタル混載型回路を示している。アナログ回路の一部（例えば出力回路の一部）は、上記トランジスタ Q_3 、 Q_4 のペアにより形成されている。ここでは、トランジスタ Q_3 、 Q_4 の 1 つの $n p n$ 型の単位トランジスタ Q_{u1} および 1 つの $p n p$ 型の単位トランジスタ Q_{u2} のみが深い分離部 2 b で囲まれている様子が示されているが、実際は図 6 ～図 8、図 13 および図 14 等で示したように複数の $n p n$ 型の単位トランジスタ Q_{u1} および複数の $p n p$ 型の単位トランジスタ Q_{u2} が深い分離部 2 b で取り囲まれている。そして、このトランジスタ Q_3 の複数の単位トランジスタ Q_{u1} の各々の能動領域 L および深い分離部 2 b で取り囲まれる半導体層 1 c の面積が、トランジスタ Q_3 とペアをなすトランジスタ Q_4 の複数の単位トランジスタ Q_{u2} の各々の能動領域 L および深い分離部 2 b で取り囲まれる半導体層 1 c の面積とほぼ等しくなるように同一の基板 1 に形成されている。これにより、ペアで使用されるトランジスタ Q_3 、 Q_4 の動作電流による発熱量をほぼ等しくすることができ、そのトランジスタ Q_3 、 Q_4 の能動領域 L での上昇温度をほぼ等しくすることができるので、トランジスタ Q_3 、 Q_4 の電気的特性の対称性を向上させることができる。すなわち、トランジスタ Q_3 、 Q_4 のペア性を確保できる。したがって、トランジスタ Q_3 、 Q_4 のペアで形成された回路の特性を安定化させることができる。この結果、アナログ回路の動作安定性を向上させることが可能となる。また、ペア性の確保が容易にでき、動作マージンを大きくすることができるので、高度な特性チューニングを必要とするアナログ回路の設計を容易にすることが可能となる。この構造は、例えばドライバ回路の出力段のようにペア特性が重要視される回路に適用することが好ましい。

【0054】

上記 $p n p$ 型の単位トランジスタ Q_{u2} は、上記 $n p n$ 型の単位トランジスタ Q_{u1} とは異なり、例えばプロセスが簡単な 1 層多結晶シリコン型プレーナ構造とされている。半導体層 1 c（半導体島領域）には、埋込コレクタ領域 3 a 2 が形成されている。埋込コレクタ領域 3 a 2 は、例えばホウ素（B）が含有されて p^+ 型にされている。この埋込コレクタ領域 3 a 2 の上層には、コレクタ領域 3 b 2 およびコレクタ引出領域 3 c 2 が形成されている。コレクタ領域 3 b 2 およ

びコレクタ引出領域 3 c 2 は、例えばホウ素が含有されて、それぞれ p 型および p⁺型にされている。このコレクタ領域 3 b 2 とコレクタ引出領域 3 c 2 との間には浅い分離部 2 a が設けられているが、コレクタ領域 3 b 2 とコレクタ引出領域 3 c 2 とは上記埋込コレクタ領域 3 a 2 を通じて互いに低抵抗な状態で電氣的に接続されている。

【0055】

上記コレクタ領域 3 b 2 の上層部には、ベース領域 4 a 2 が形成されている。このベース領域 4 a 2 は、例えばリンまたはヒ素が含有されて n 型にされている。このベース領域 4 a 2 には、ベース引出領域 4 b 1 が形成されている。このベース引出領域 4 b 1 は、例えばリンまたはヒ素が含有されて n⁺型にされている。このベース領域 4 a 2 の上層には、エミッタ領域 6 a 2 が形成されている。このエミッタ領域 6 a 2 は、例えばホウ素が含有されて p⁺型にされている。このエミッタ領域 6 a 2 には、例えば p 型の多結晶シリコンからなるエミッタ引出電極 7 a 2 が電氣的に接続されている。このような p n p 型の単位トランジスタ Q u 2 のエミッタ幅は、例えば 1 μm 程度であり、上記 n p n 型の単位トランジスタ Q u 1 のエミッタ幅よりも大きい、n p n 型の単位トランジスタ Q u 1 と電氣的特性（最適電流値）が同じになるようにされている。また、単位トランジスタ Q u 2 のエミッタ長は、例えば 10 μm 程度である。

【0056】

ベース用の第 1 層配線 M 1 は、コンタクトホール C N T を通じてベース引出領域 4 b 1 と電氣的に接続されている。また、エミッタ用の第 1 層配線 M 1 は、コンタクトホール C N T を通じてエミッタ引出電極 7 a 2 と電氣的に接続されている。さらにコレクタ用の第 1 層配線 M 1 は、コンタクトホール C N T を通じてコレクタ引出領域 3 c 2 と電氣的に接続されている。

【0057】

また、ここでは、デジタル回路が n M I S Q n および p M I S Q p により形成されている場合が例示されている。n M I S Q n は、半導体層 1 c の p ウエル P W L に形成され、ソースおよびドレイン用の半導体領域 1 0、ゲート絶縁膜 1 1 およびゲート電極 1 2 を有している。この半導体領域 1 0 には、例えばリンまた

はヒ素が含有され n 型にされており、絶縁膜 8 a に形成されたコンタクトホール CNT を通じて第 1 層配線 M 1 と電氣的に接続されている。また、p M I S Q p は、半導体層 1 c の n ウェル NWL に形成され、ソースおよびドレイン用の半導体領域 1 3、ゲート絶縁膜 1 1 およびゲート電極 1 2 を有している。この半導体領域 1 3 には、例えばホウ素が含有され p 型にされており、絶縁膜 8 a に形成されたコンタクトホール CNT を通じて第 1 層配線 M 1 と電氣的に接続されている。ゲート絶縁膜 1 1 は、例えば酸化シリコン膜等からなる。ゲート電極 1 2 は、例えば多結晶シリコンの単体膜またはその上にコバルトシリサイド (C o S i x) 等が形成された、いわゆるポリサイド構造とされている。

【0058】

次に、図 2 1 の半導体装置の製造方法の一例を図 2 2 ～図 2 5 により説明する。

【0059】

まず、図 2 2 に示す基板 1 を用意する。この段階の基板 1 は、平面略円形状のウェハの状態であり、例えば n 型のシリコン単結晶からなる支持基板 1 a 上に、例えば厚さが 0.2 ～ 0.5 μ m 程度の酸化シリコン膜からなる絶縁層 1 b を介して、例えば厚さが 1.0 ～ 2.0 μ m 程度の単結晶シリコンからなる半導体層 1 c 1 が設けられた構成を有している。この基板 1 は、例えば貼り合わせ法によって形成されている。すなわち、単結晶シリコン等からなる 2 枚の半導体ウェハ（以下、単にウェハという）を絶縁層 1 b を介して貼り合わせた後、一方のウェハの裏面を研削および研磨することにより素子形成用の薄い半導体層 1 c 1 を形成することで作製されている。

【0060】

続いて、図 2 3 に示すように、n 型領域を形成する導電型不純物（例えばアンチモン）と p 型領域を形成する導電型不純物（例えばホウ素）とを別々のレジスト膜をマスクとして選択的にイオン注入した後、熱処理を施すことにより、n 型の埋込コレクタ領域 3 a 1 および p 型の埋込コレクタ領域 3 a 2 を形成する。その後、半導体層 1 c 1 上に、例えば単結晶シリコンからなる半導体層 1 c 2 をエピタキシャル法によって形成する。この積層された半導体層 1 c 1, 1 c 2 によ

り上記半導体層 1 c を形成する。

【0061】

その後、図 24 に示すように、半導体層 1 c の主面（デバイス形成面）に、浅い分離部 2 a を LOCOS 法によって形成した後、絶縁層 1 b に達する深い溝を掘り、その内部に酸化シリコン膜を CVD（Chemical Vapor Deposition）法等によって埋め込むことにより、深い分離部 2 b を形成する。その後、半導体層 1 c の主面上に薄い酸化シリコン膜を形成した後、n 型領域を形成する導電型不純物（例えばリン）と p 型領域を形成する導電型不純物（例えばホウ素）とを別々のレジストマスクを用いて選択的にイオン注入することにより、コレクタ引出領域 3 c 1, 3 c 2 を形成する。さらに、pMIS 形成領域に n 型領域を形成する導電型不純物（例えばリン）をレジスト膜をマスクとしてイオン注入し、nMIS 形成領域に p 型領域を形成する導電型不純物（例えばホウ素）をレジスト膜をマスクとしてイオン注入することにより、n ウェル NWL および p ウェル PWL を形成する。

【0062】

次いで、図 25 に示すように、nMIS 形成領域および pMIS 形成領域のチャネル形成領域に、しきい値電圧調整用の不純物を導入した後、ゲート絶縁膜 11 を形成し、さらに、その上にゲート電極 12 を形成する。ゲート絶縁膜 11 およびゲート電極 12 は、nMIS 形成領域および pMIS 形成領域に同時に形成している。続いて、図 25 に示すように、pnptランジスタ Q4 の n 型のベース領域 4 a 2 をイオン注入法等によって形成する。その後、nMIS 形成領域および pMIS 形成領域に、低不純物濃度のソースおよびドレイン用の半導体領域を形成した後、ゲート電極 12 の側面に酸化シリコン膜等からなるサイドウォール 15 を形成し、nMISQn のソースおよびドレイン用の半導体領域 10、pMISQp のソースおよびドレイン用の半導体領域 13、pnptランジスタ Q4 のベース引出領域 4 b 1 をイオン注入法によって形成する。ここで、nMISQn のソースおよびドレイン用の半導体領域 10 と、pnptランジスタ Q4 のベース引出領域 4 b 1 とは同一の不純物導入工程で形成した。

【0063】

次いで、半導体層 1c 上に、p 型の多結晶シリコン膜を CVD 法等によって堆積した後、これをフォトリソグラフィ技術およびドライエッチング技術を用いてパターニングすることにより、ベース引出電極形成用のパターンおよびエミッタ引出電極 7a2 を形成する。続いて、半導体層 1c 上に、絶縁膜 8a1 を CVD 法等によって堆積した後、ベース引出電極用のパターンのベース領域形成箇所をフォトリソグラフィ技術およびドライエッチング技術を用いてエッチング除去して開口部を形成するとともにベース引出電極 5 を形成した後、その開口部から露出する半導体層 1c に対して、例えば二フッ化ホウ素 (BF_2) 等をイオン注入することにより、npn トランジスタ形成領域にベース引出電極 5 に対して自己整合的にベース領域 4a1 を形成する。また、pnp トランジスタのエミッタ引出電極 7a2 中の不純物 (ホウ素) を半導体層 1c に熱拡散することによりベース領域 4a2 内にエミッタ領域 6a2 を自己整合的に形成する。その後、ベース引出電極 5 の開口部の側面に側壁絶縁膜を酸化法等によって形成する。この側壁絶縁膜は、npn トランジスタのベース引出電極 5 とエミッタ引出電極 7a1 とを分離するための機能を有している。

【0064】

次いで、半導体層 1c 上に、n 型の多結晶シリコン膜を CVD 法等によって堆積した後、これをフォトリソグラフィ技術およびドライエッチング技術を用いてパターニングすることにより、図 6 に示したエミッタ引出電極 7a1 をベース引出電極 5 およびベース領域 4a1 に対して自己整合的に形成する。この時、前記抵抗 Rb を形成する場合は、抵抗 Rb もエミッタ引出電極 7a1 のパターニングと同時に形成する。抵抗 Rb の抵抗値はこのパターニング工程前に不純物を選択的にイオン注入することで設定する。続いて、基板 1 に対して熱処理を施すことにより、図 21 に示したように、エミッタ引出電極 7a1 中の不純物を半導体層 1c に熱拡散することによりベース領域 4a1 内にエミッタ領域 6a1 を自己整合的に形成する。その後、半導体層 1c 上に、例えば酸化シリコン膜からなる絶縁膜を堆積し、その上面を平坦化することで絶縁膜 8a を形成した後、その絶縁膜 8a にコンタクトホール CNT を形成する。その後、基板 1 の主面上に、アルミニウムを主体とした導体膜をスパッタリング法によって堆積した後、これをフ

ォトリソグラフィ技術およびドライエッチング技術を用いてパターンニングすることにより、第 1 層配線 M 1 を形成する。

【 0 0 6 5 】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【 0 0 6 6 】

例えば S O I 基板の製造方法は、ウエハの貼り合わせ法に限定されるものではなく種々変更可能であり、例えば半導体基板に酸素イオンを打ち込むことで絶縁層を形成する、いわゆる S I M O X (Separation by Implanted Oxygen) を用いても良い。

【 0 0 6 7 】

また、前記実施の形態においては、配線を通常の配線構造とした場合について説明したが、これに限定されるものではなく、例えば絶縁膜に形成された溝または孔等のような配線開口部内に導体膜を埋め込むことで配線またはプラグを形成する、いわゆるダマシン法または上記溝および孔を同一導体材料で同工程時に埋め込むデュアルダマシン法による配線構造としても良い。

【 0 0 6 8 】

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるアナログーデジタル混載回路に適用した場合について説明したが、それに限定されるものではなく、例えば D R A M (Dynamic Random Access Memory)、S R A M (Static Random Access Memory) またはフラッシュメモリ (E E P R O M ; Electric Erasable Programmable Read Only Memory) 等のようなメモリ回路を上記バイポーラトランジスタ形成された S O I 基板に設けている半導体装置にも適用できる。

【 0 0 6 9 】

【発明の効果】

本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

【 0 0 7 0 】

すなわち、互いに並列に接続された状態で絶縁層上の半導体層に配置された複数の同種の単位バイポーラトランジスタの複数の一群または全てを分離部で取り囲むことにより、半導体装置の動作時の熱的安定性を向上させることが可能となる。

【図面の簡単な説明】**【図 1】**

本発明の一実施の形態の半導体装置を構成するバイポーラトランジスタの形成手法を説明するための回路図である。

【図 2】

図 1 の単位バイポーラトランジスタのセルの一例の平面図である。

【図 3】

図 1 の単位バイポーラトランジスタのセルの一例であって図 2 に第 2 層配線を配置して示した平面図である。

【図 4】

図 2 および図 3 の X 1 - X 1 線の断面図である。

【図 5】

図 3 の Y 1 - Y 1 線の断面図である。

【図 6】

図 2 および図 3 の単位バイポーラトランジスタの配置例の要部平面図である。

【図 7】

図 2 および図 3 の単位バイポーラトランジスタの他の配置例の要部平面図である。

【図 8】

図 6 の X 2 - X 2 線の断面図である。

【図 9】

本発明の他の実施の形態である半導体装置を構成する所望のバイポーラトランジスタの等価回路図である。

【図 1 0】

図 9 の単位バイポーラトランジスタのセルの一例の平面図である。

【図 11】

図 9 の単位バイポーラトランジスタのセルの一例であって図 10 に第 2 層配線を配置して示した平面図である。

【図 12】

図 11 の Y2-Y2 線の断面図である。

【図 13】

図 10 および図 11 の単位バイポーラトランジスタの配置例の要部平面図である。

【図 14】

図 10 および図 11 の単位バイポーラトランジスタの他の配置例の要部平面図である。

【図 15】

本発明のさらに他の実施の形態である半導体装置の単位バイポーラトランジスタの配置例の要部平面図である。

【図 16】

本発明のさらに他の実施の形態である半導体装置の単位バイポーラトランジスタの他の配置例の要部平面図である。

【図 17】

図 15 および図 16 の X3-X3 線の断面図である。

【図 18】

本発明のさらに他の実施の形態である半導体装置の具体的な回路の要部の説明図である。

【図 19】

図 18 の出力回路の一例の回路図である。

【図 20】

図 18 の出力回路と同一の半導体基板に形成されたデジタル回路の一例の回路図である。

【図 21】

本発明のさらに他の実施の形態であるアナログ－デジタル混在回路を有する半導体装置の一例の要部断面図である。

【図 2 2】

図 2 1 の半導体装置の製造工程中のウエハの要部断面図である。

【図 2 3】

図 2 2 に続く半導体装置の製造工程中のウエハの要部断面図である。

【図 2 4】

図 2 3 に続く半導体装置の製造工程中のウエハの要部断面図である。

【図 2 5】

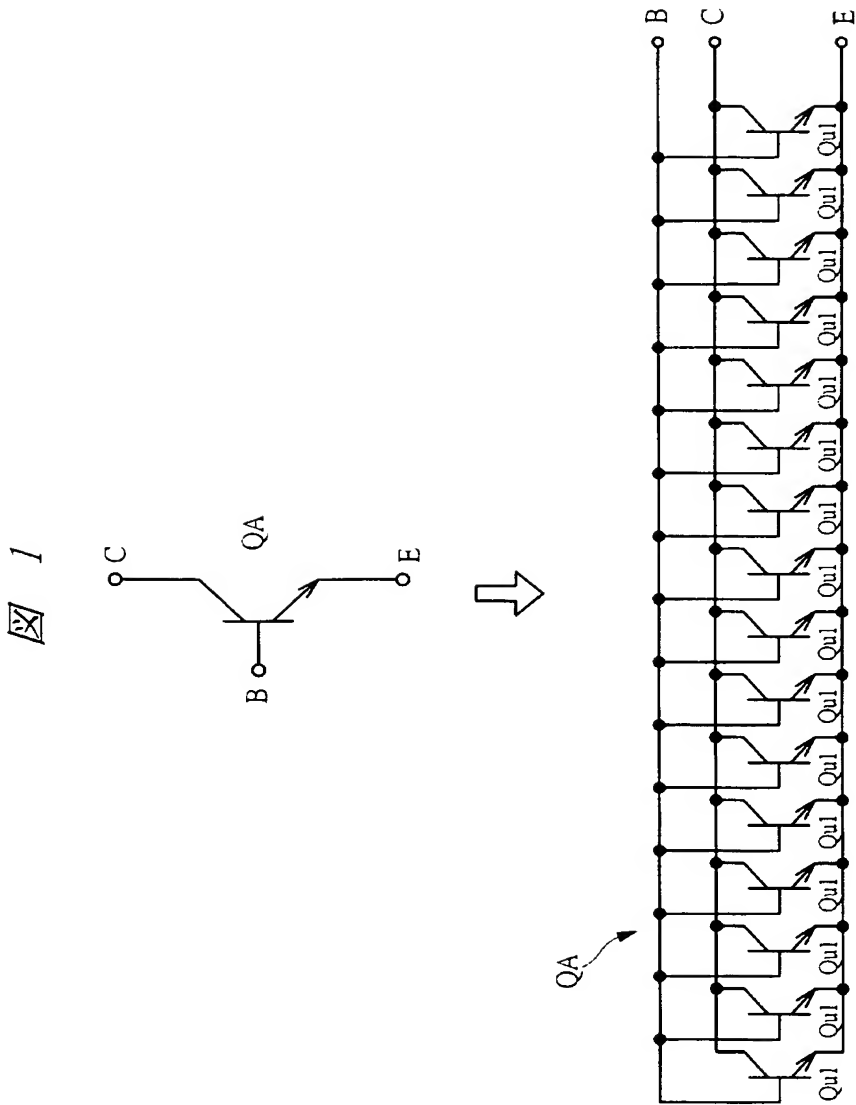
図 2 4 に続く半導体装置の製造工程中のウエハの要部断面図である。

【符号の説明】

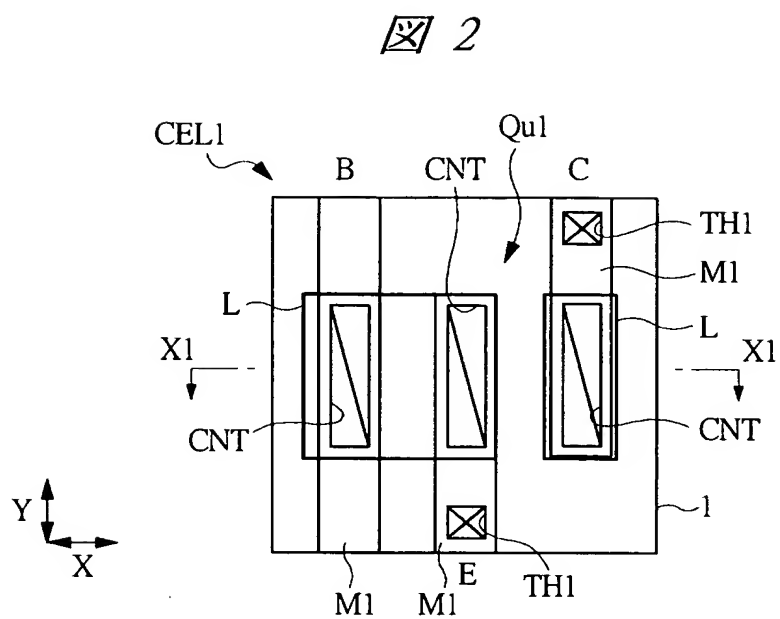
- 1 半導体基板
 - 1 a 支持基板
 - 1 b 絶縁層
 - 1 c 半導体層
 - 1 c 1 半導体層
 - 1 c 2 半導体層
 - 2 a 浅い分離部
 - 2 b 深い分離部
 - 3 a 1, 3 a 2 埋込コレクタ領域
 - 3 b 1, 3 b 2 コレクタ領域
 - 3 c 1, 3 c 2 コレクタ引出領域
 - 4 a 1, 4 a 2 ベース領域
 - 4 b 1 ベース引出領域
 - 5 ベース引出電極
 - 6 a 1, 6 a 2 エミッタ領域
 - 7 a 1, 7 a 2 エミッタ引出電極
 - 8 a, 8 a 1, 8 b 絶縁膜
 - 1 0 半導体領域

1 1 ゲート絶縁膜
1 2 ゲート電極
1 3 半導体領域
1 5 サイドウォール
Q A, Q B バイポーラトランジスタ
Q 3 ~ Q 1 1 バイポーラトランジスタ
Q u 1, Q u 2 単位バイポーラトランジスタ
Q p pチャネル型のMIS・FET
Q n nチャネル型のMIS・FET
C コレクタ電極
B ベース電極
E エミッタ電極
C E L 1, C E L 2 セル
L 能動領域
M 1, M 1 a, M 1 b 第1層配線
M 2 第2層配線
C N T コンタクトホール
T H 1 スルーホール
R b 抵抗
P A M プリアンプ回路
C C 制御回路
D R V 出力回路
V B B 直流基準電圧
R 1 ~ R 1 1 抵抗
V 1 ~ V 4 電源
I N, I N 1, I N 2 入力端子
O U T, O U T 1 出力端子
N W L nウエル
P W L pウエル

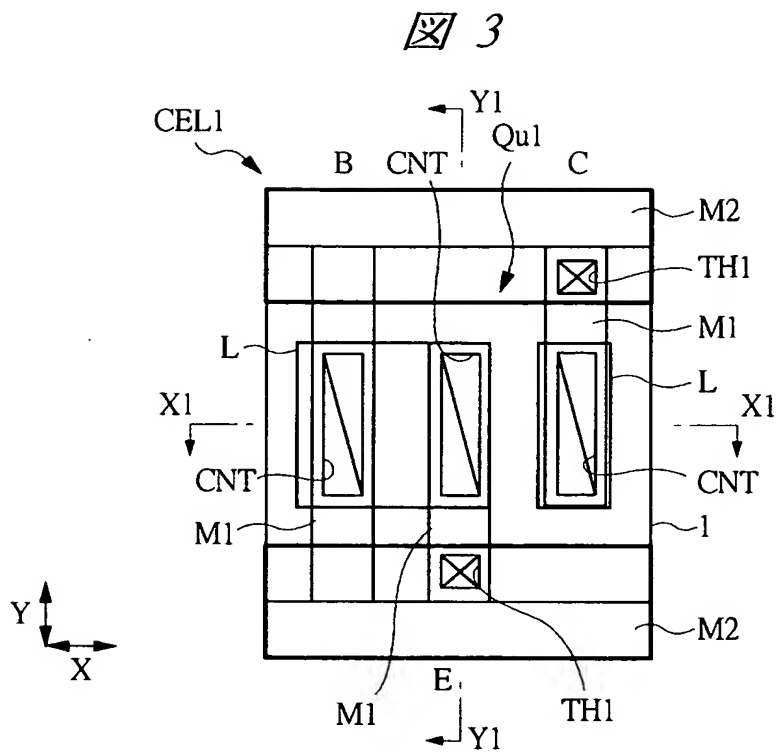
【書類名】 図面
【図 1】



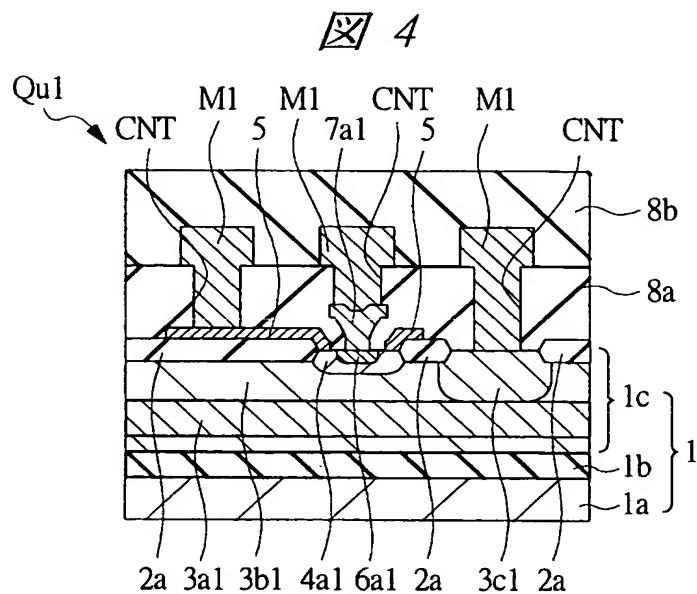
【図 2】



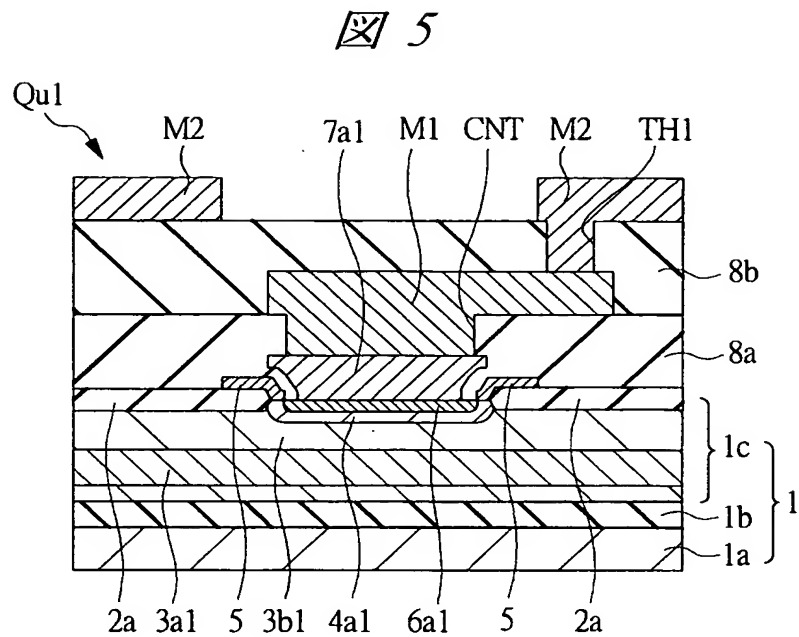
【図 3】



【図 4】

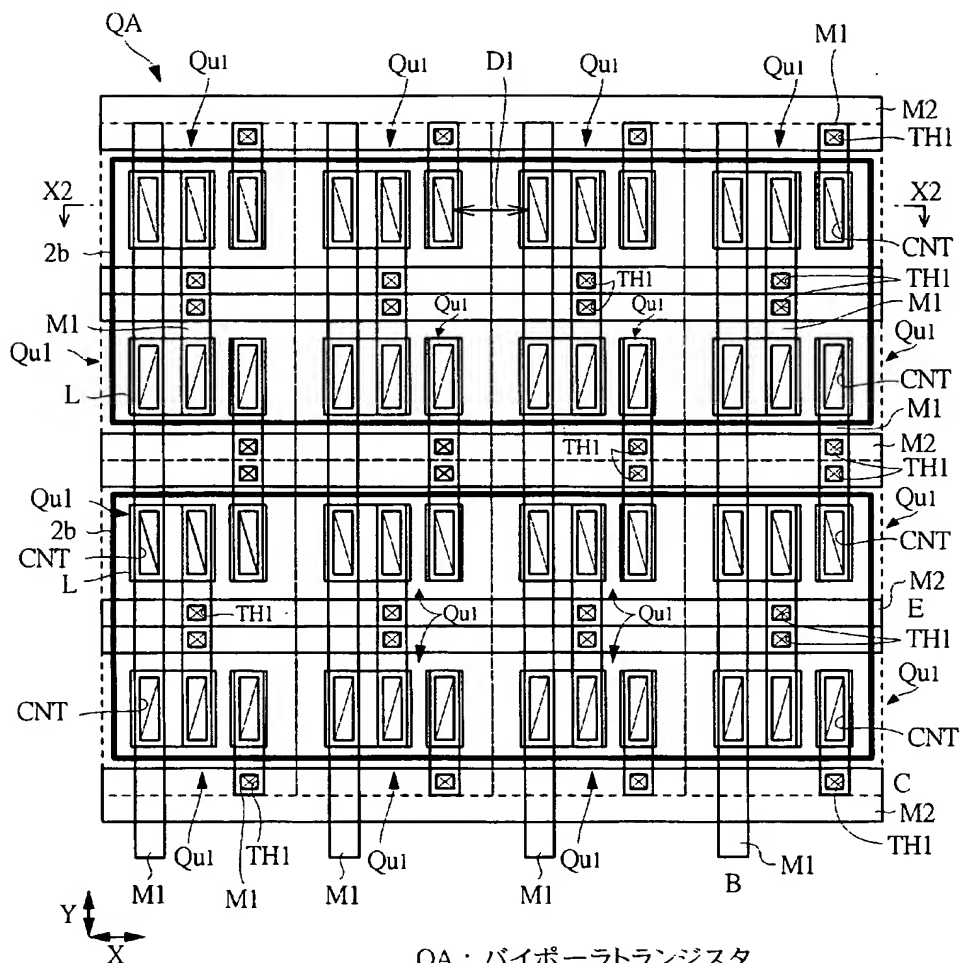


【図 5】

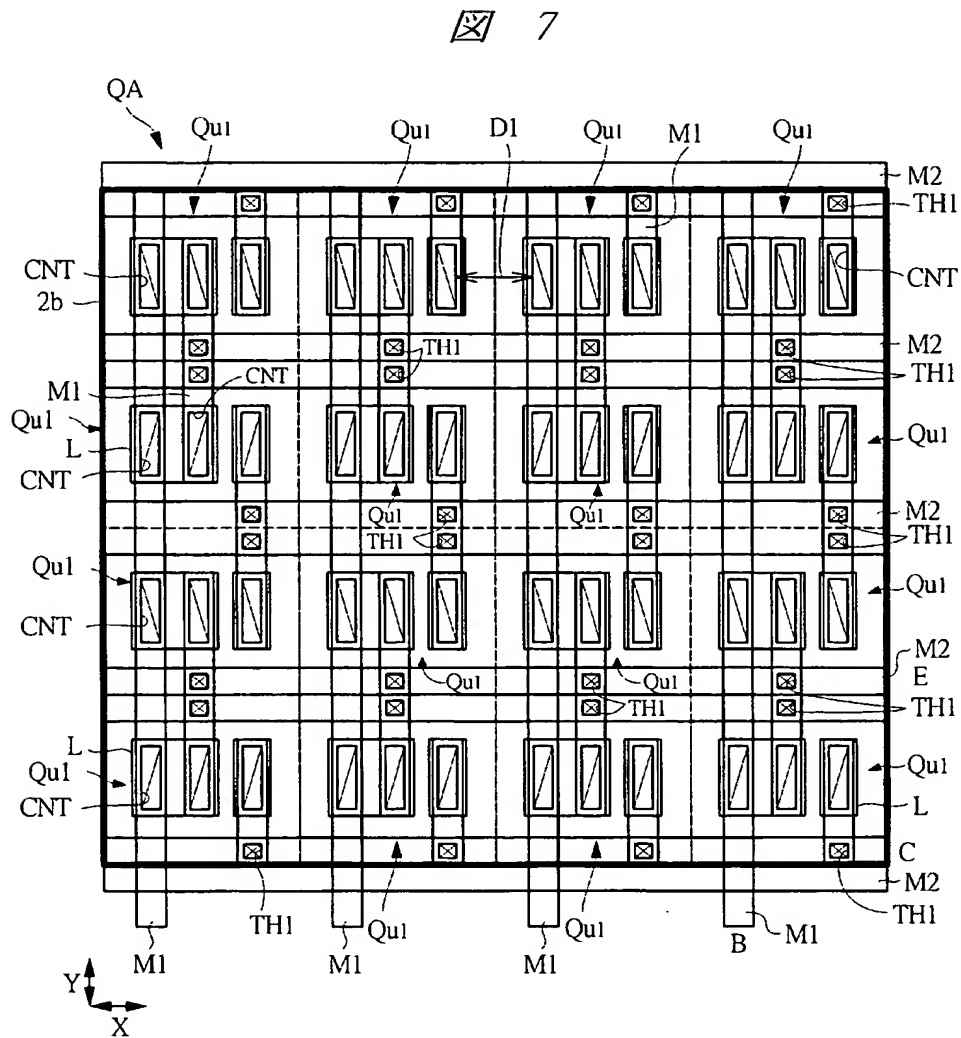


【図 6】

図 6

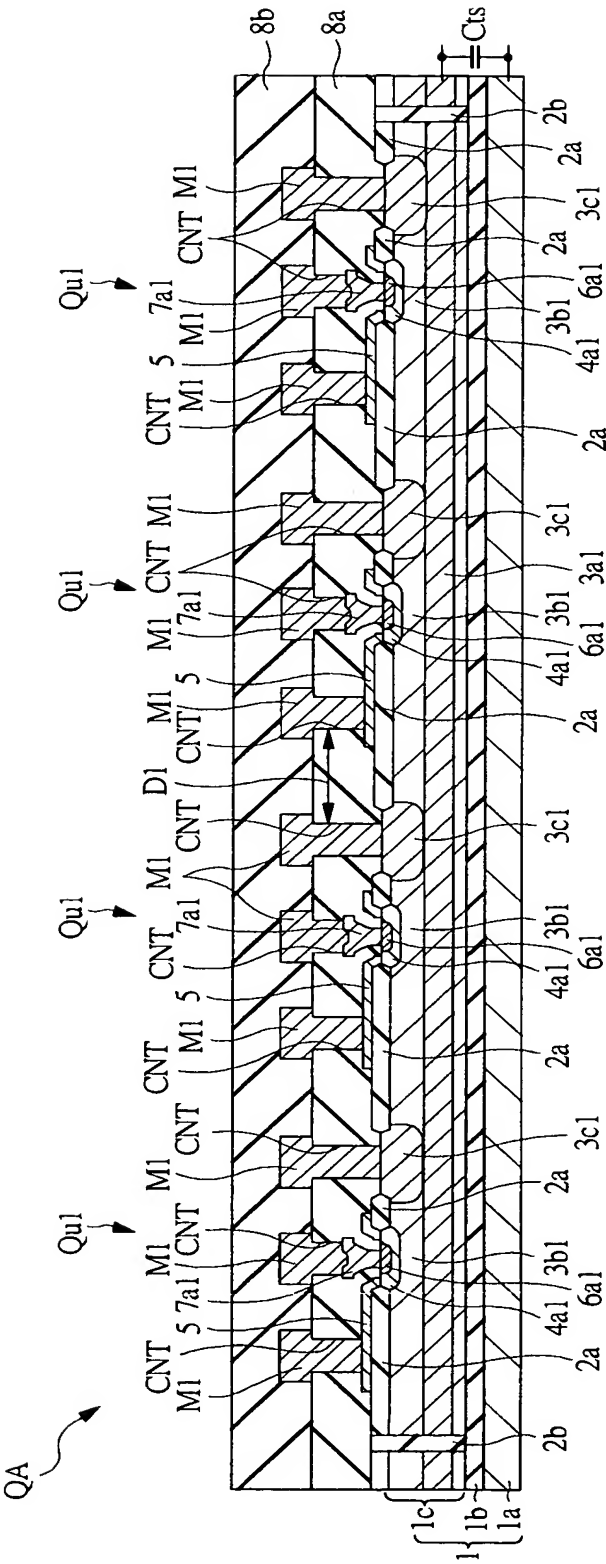


【図 7】



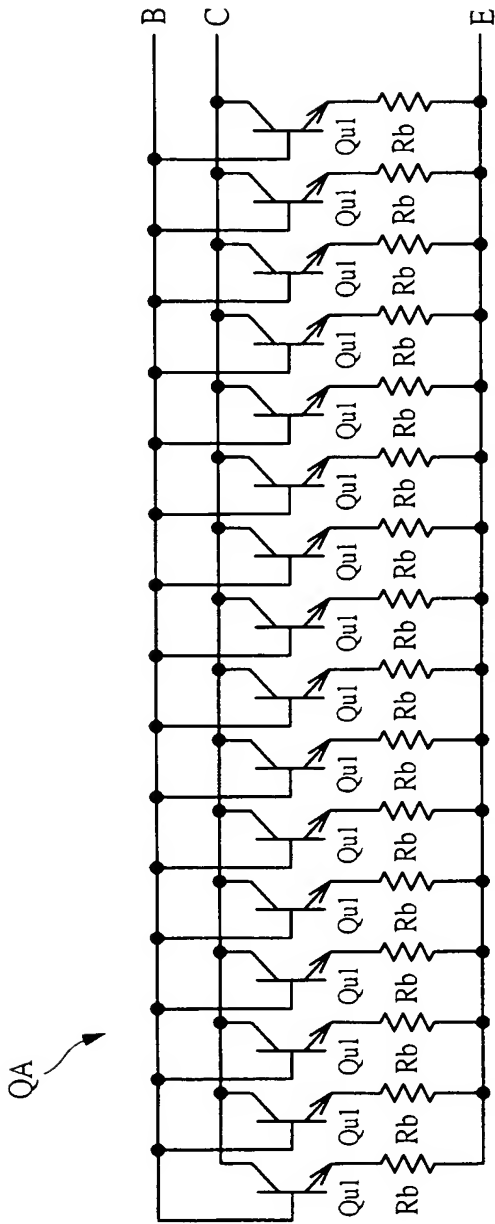
【図 8】

図 8



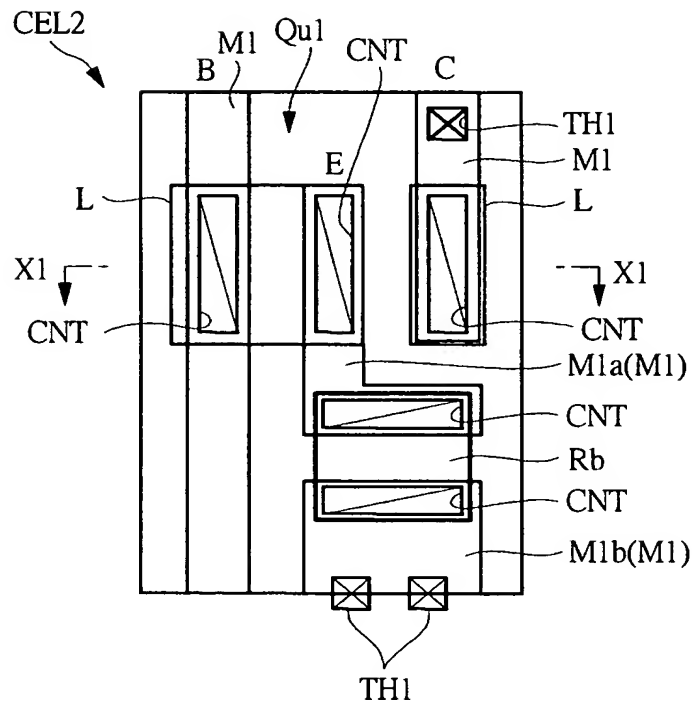
【図 9】

図 9



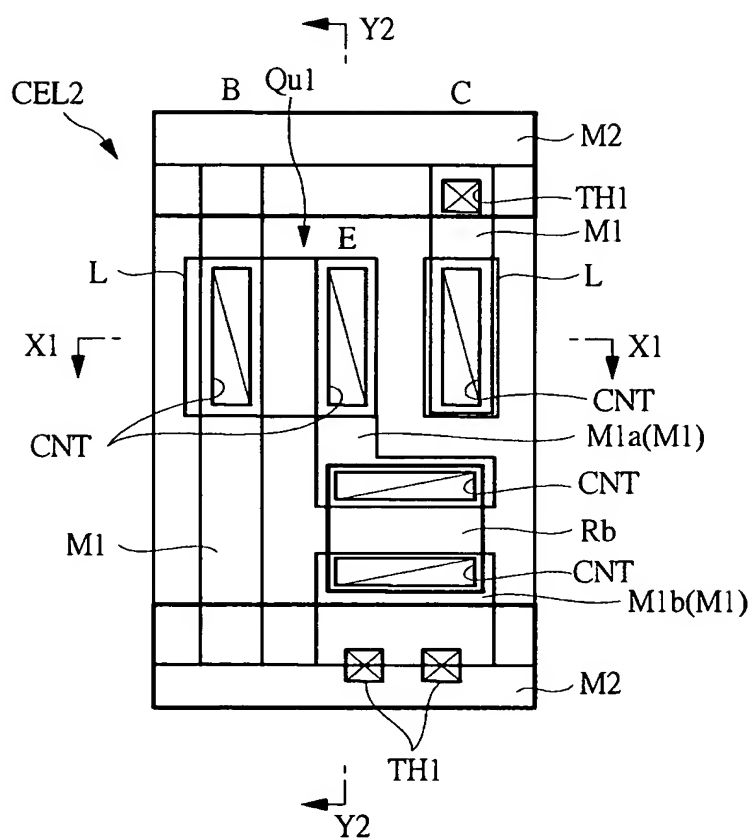
【図 10】

図 10



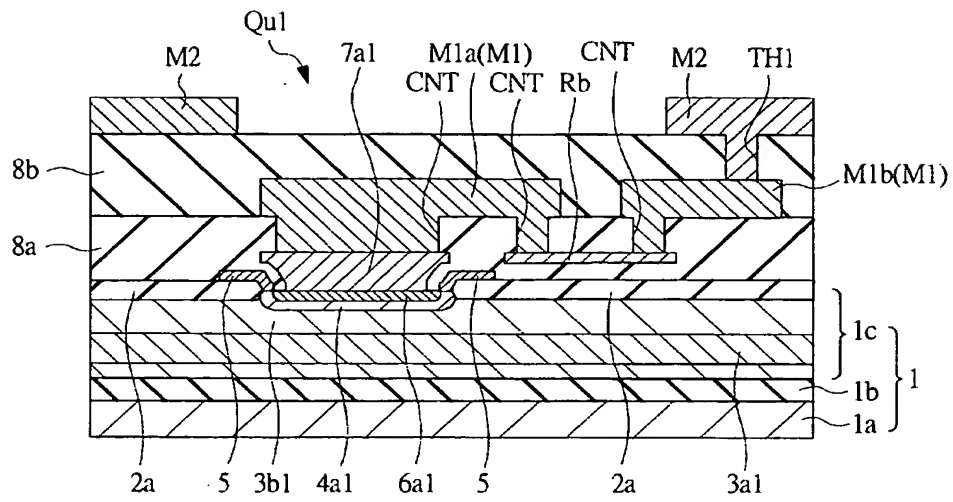
【図 11】

図 11



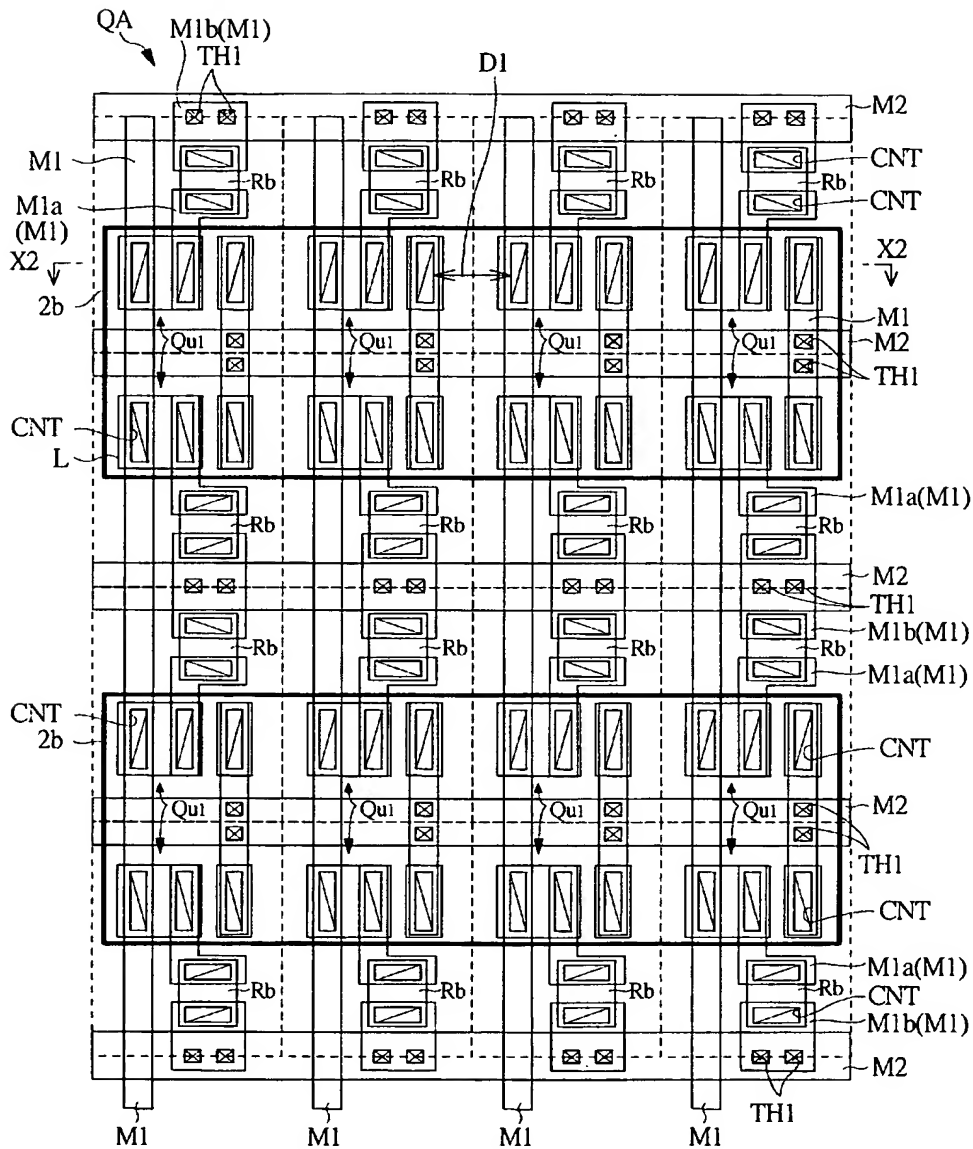
【図 12】

図 12



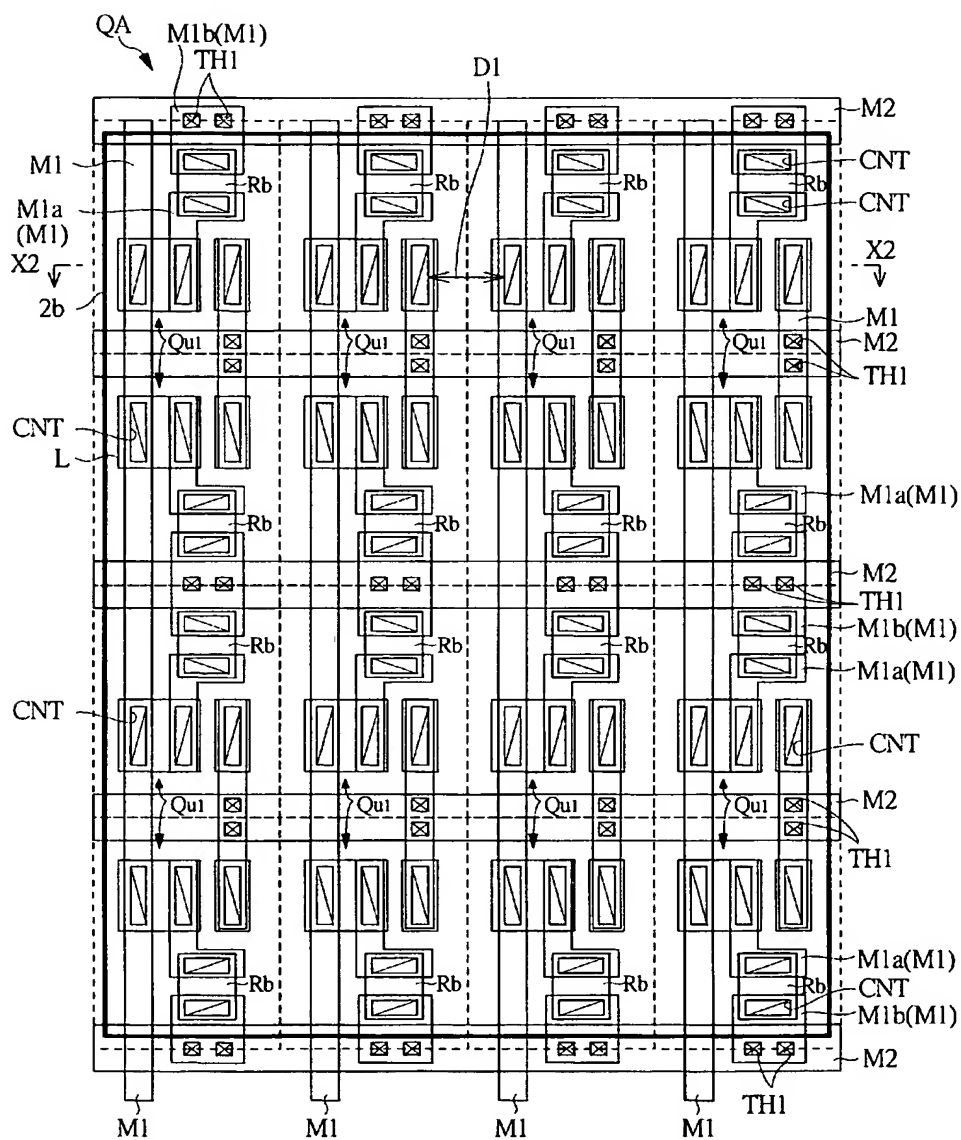
【図 13】

図 13



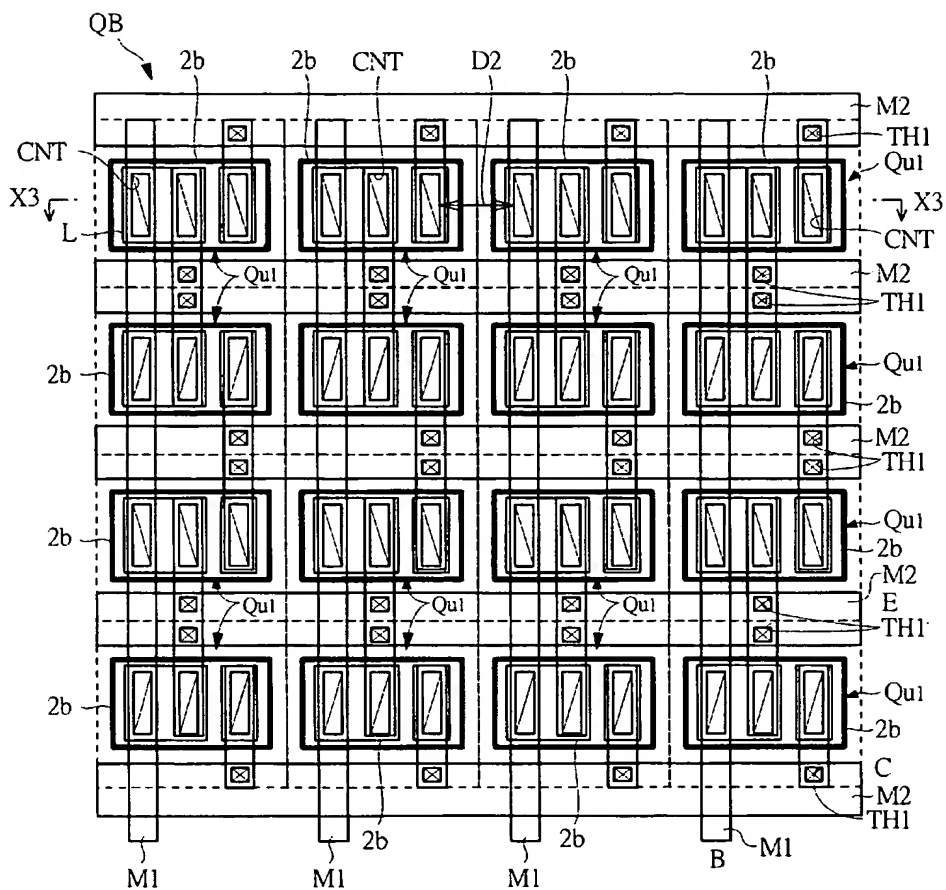
【図 14】

図 14



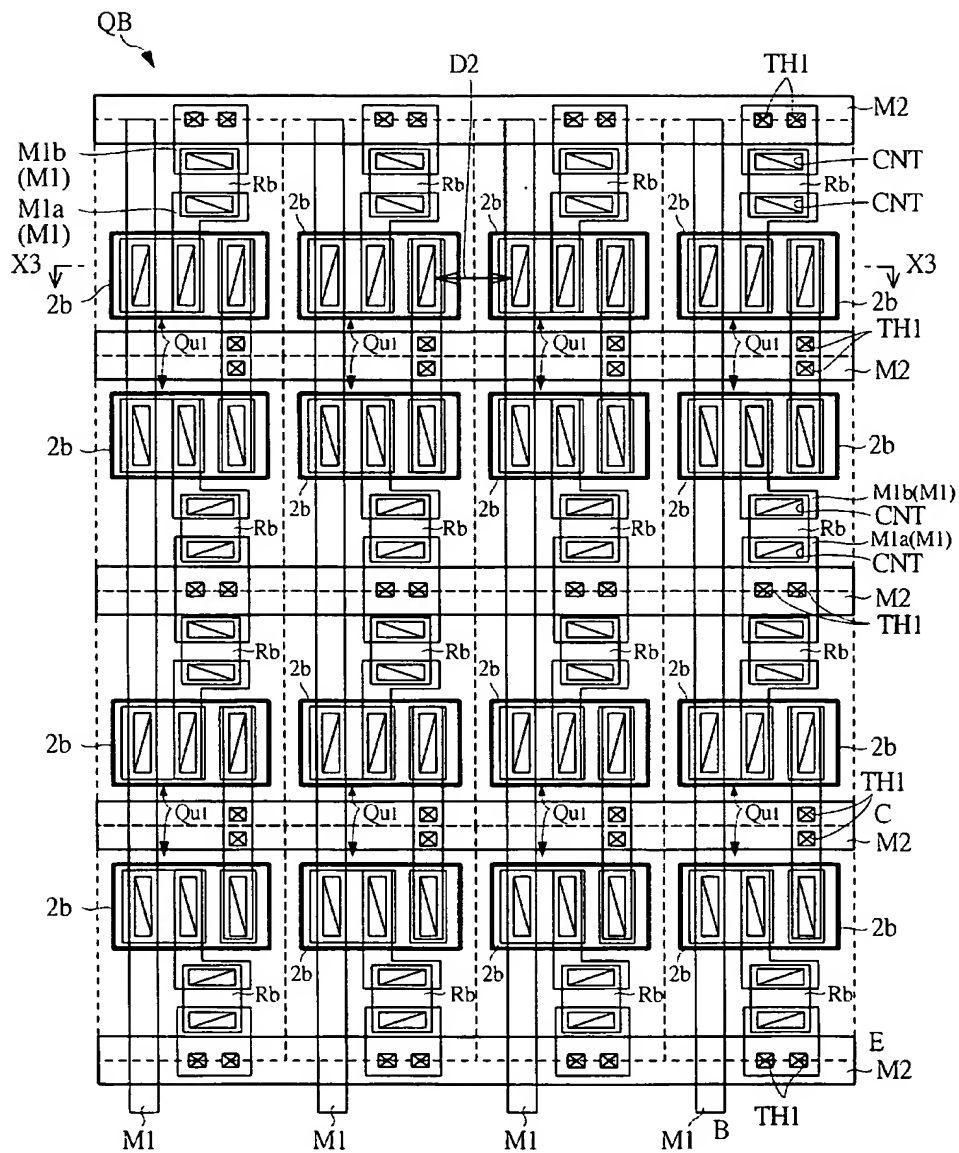
【図 15】

図 15



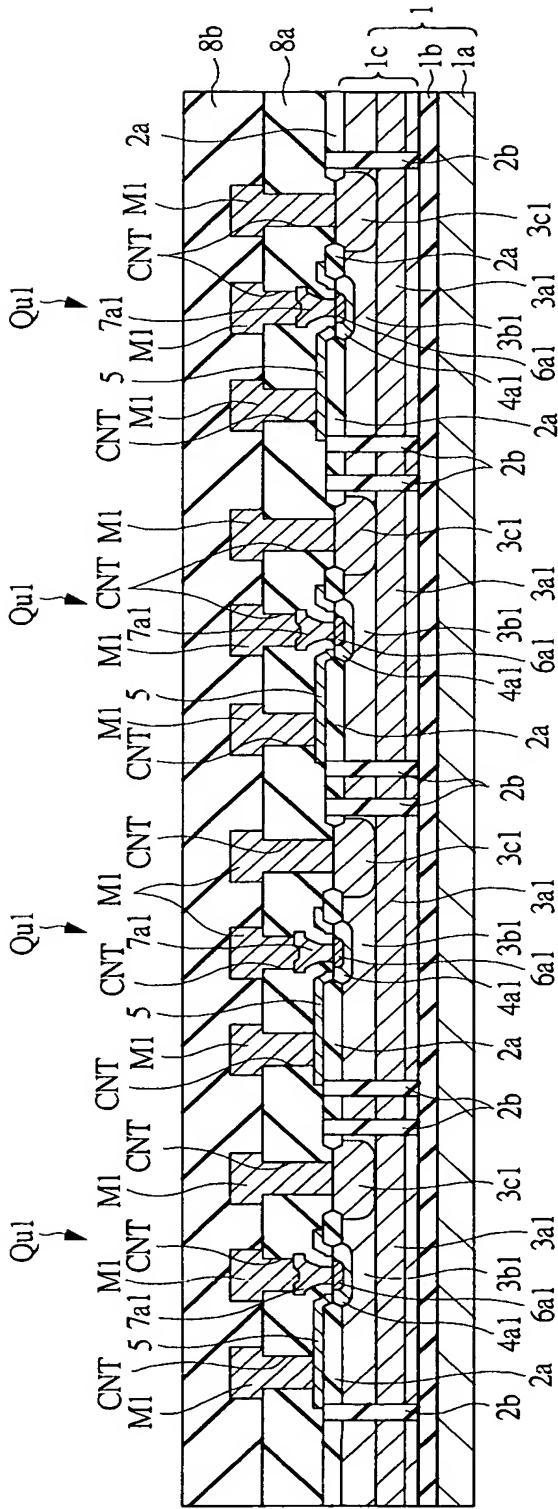
【図 16】

図 16



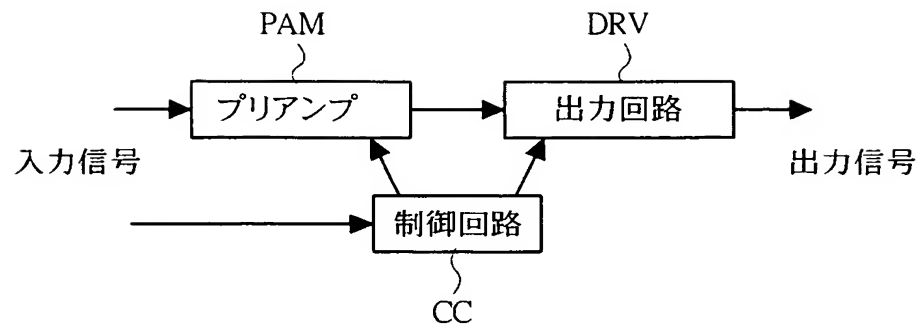
【図 17】

図 17



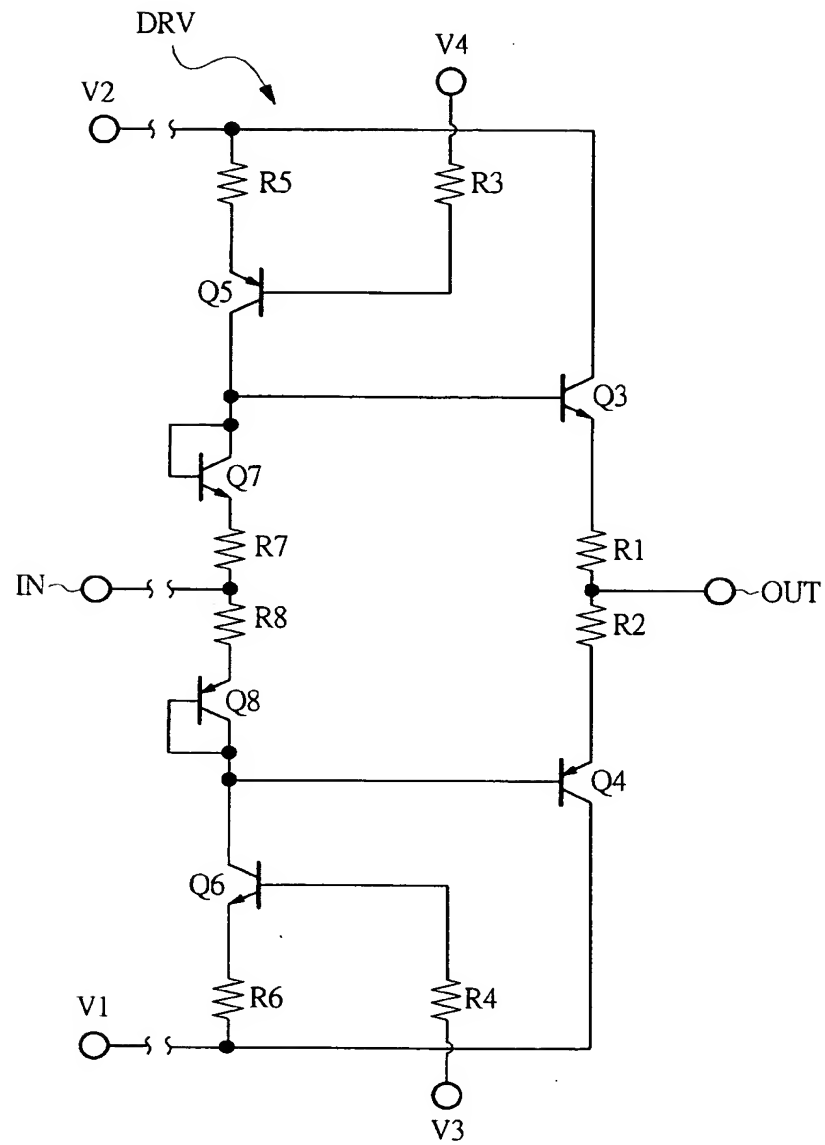
【図 18】

図 18



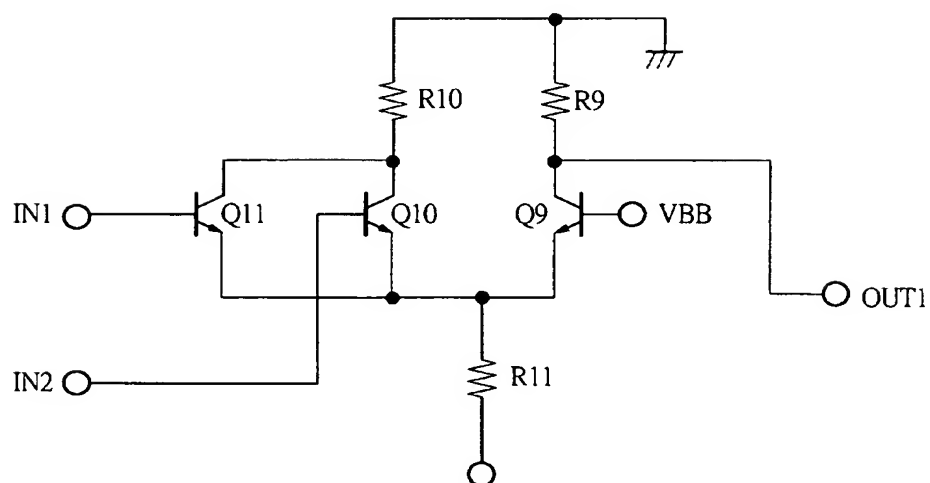
【図 19】

図 19



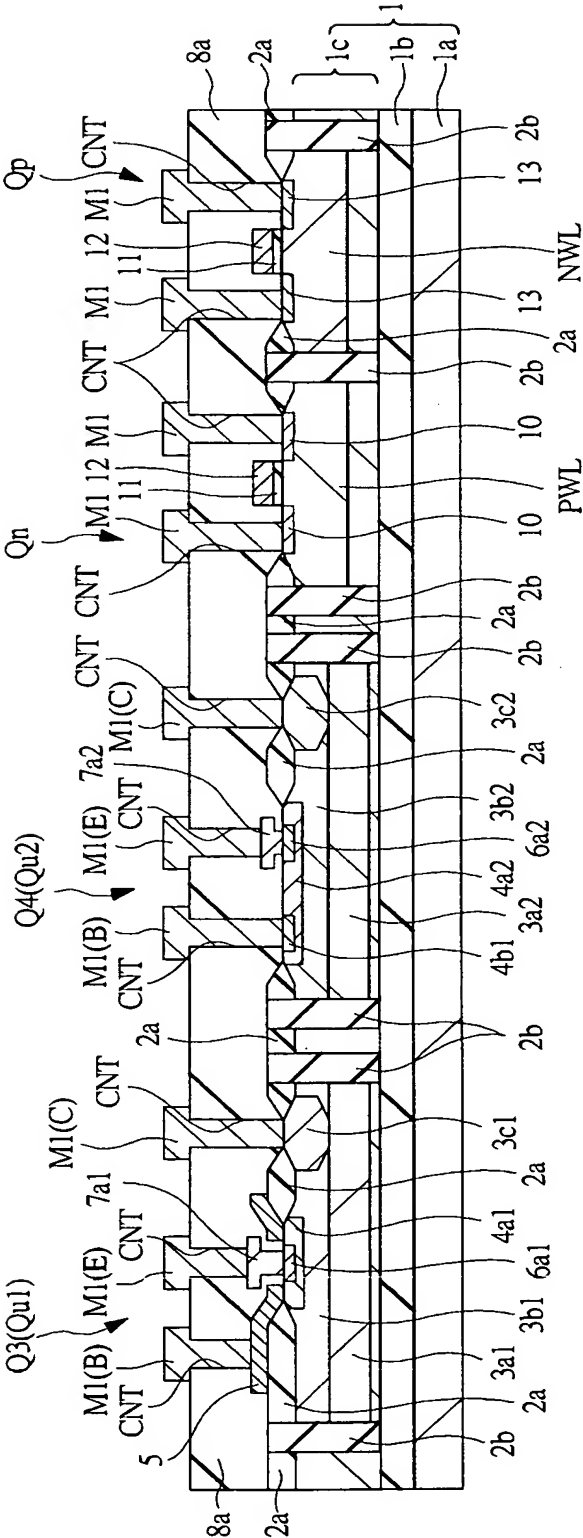
【図 20】

図 20



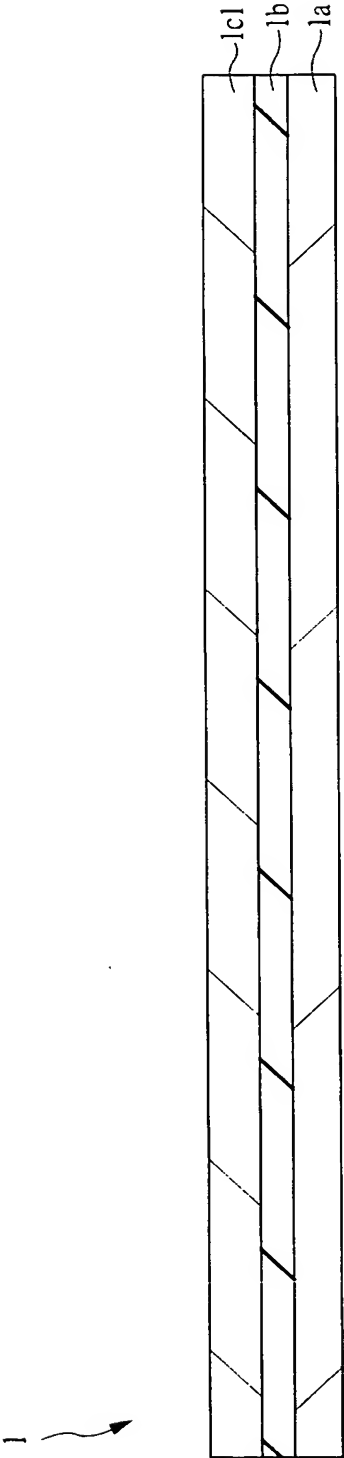
【図 21】

図 21



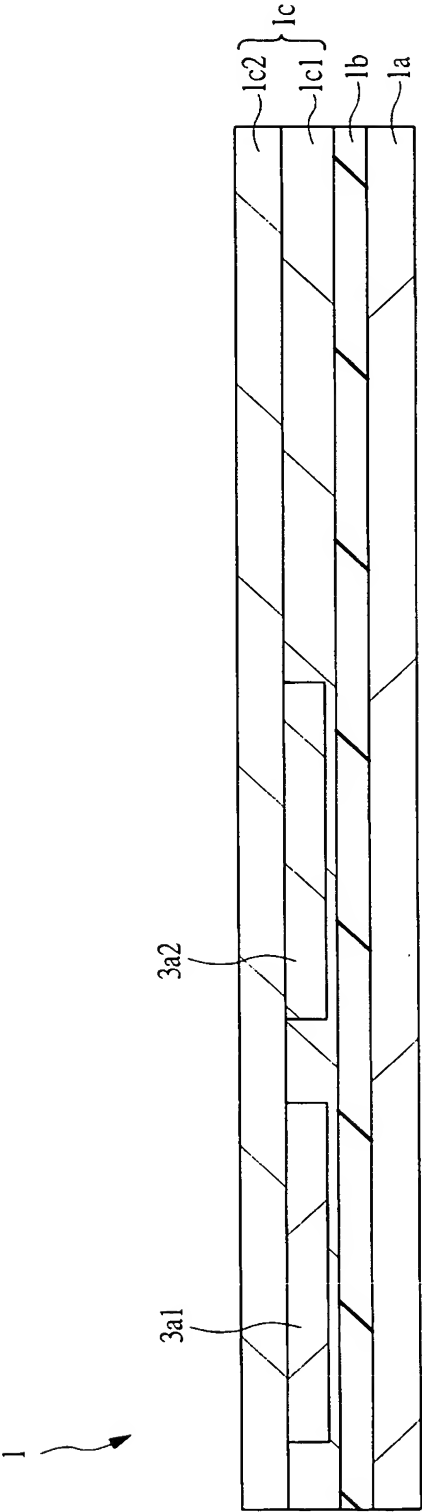
【図 2 2】

図 22

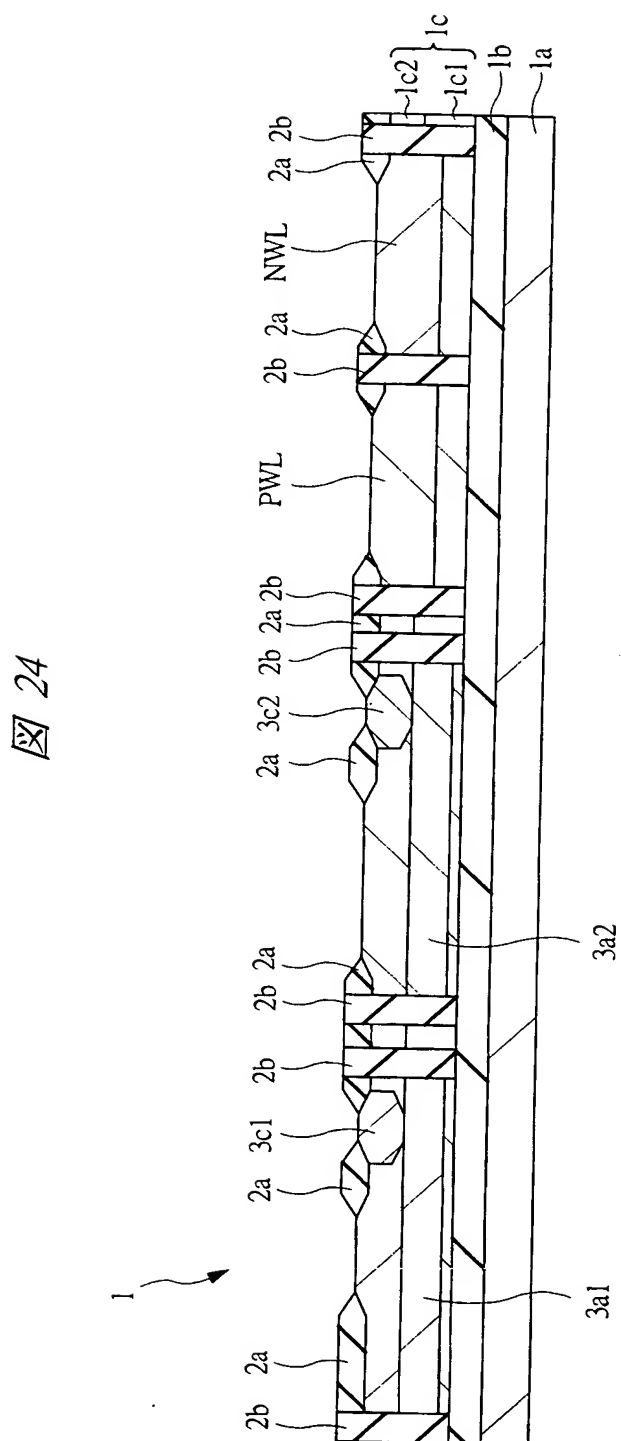


【図 2 3】

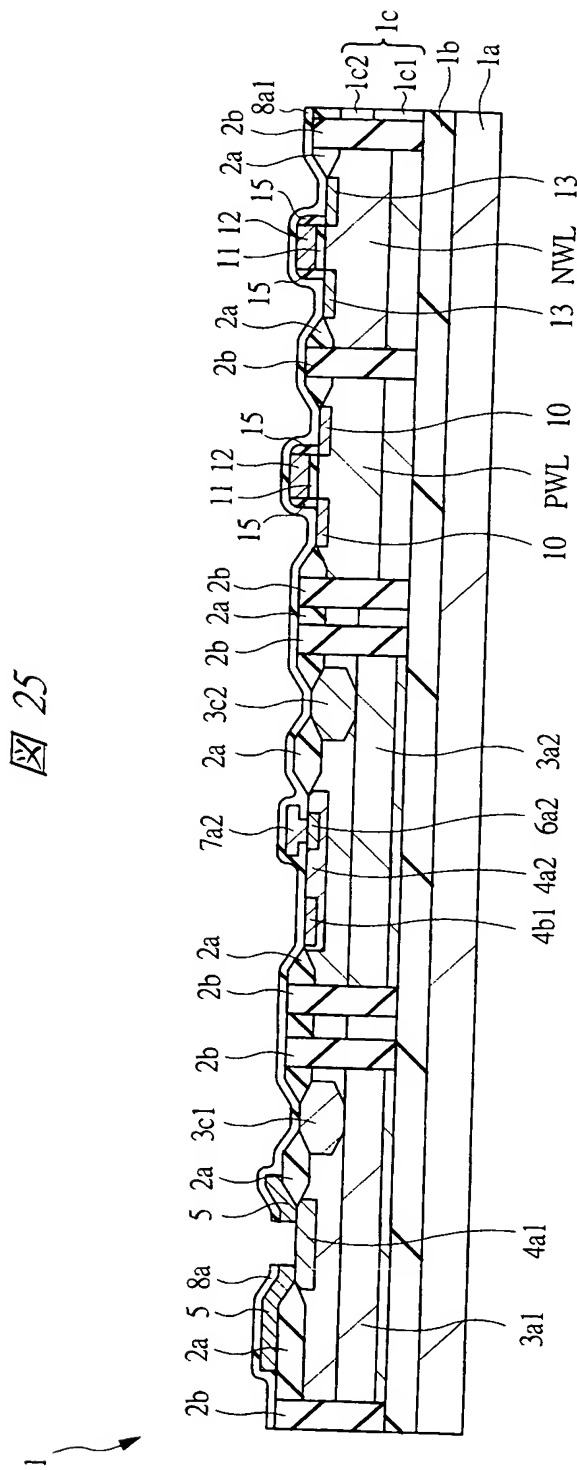
図 23



【圖 2 4】



【図 25】



【書類名】 要約書

【要約】

【課題】 半導体装置の動作時の熱的安定性を向上させる。

【解決手段】 絶縁層上に設けられた半導体層に複数の同種の $n p n$ 型の単位バイポーラトランジスタ $Q u 1$ を規則的に並べて配置し、この複数の単位バイポーラトランジスタ $Q u 1$ を並列接続することにより複数の所望のバイポーラトランジスタ $Q A$ を形成する。そして、複数の所望のバイポーラトランジスタ $Q A$ のうち、熱的安定性が要求されるものについては、並列接続された複数の単位バイポーラトランジスタ $Q u 1$ の複数の一群または全てを溝型の深い分離部 2 b で取り囲むようにする。

【選択図】 図 6



特願 2 0 0 3 - 0 7 1 9 4 2 .

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 1 0 8]

1. 変更年月日

1 9 9 0 年 8 月 3 1 日

[変更理由]

新規登録

住 所

東京都千代田区神田駿河台 4 丁目 6 番地

氏 名

株式会社日立製作所